

---

## Si523

# 13.56MHz 非接触式读写器芯片

## 1 介绍

Si523 是一个高度集成的，工作在 13.56MHz 的非接触式读写器芯片，阅读器支持 ISO/IEC 14443 A/B，支持自动载波侦测功能（ACD）。

无需外围其他电路，Si523 的内部发送器可驱动读写器天线与 ISO/IEC 14443 A/B 卡和应答机通信。接收器模块提供一个强大而高效的电路，用以解调译码 ISO/IEC 14443 A/B 兼容卡及应答机信号。数字模块处理完整的 ISO/IEC 14443 A/B 帧和错误检测功能(奇偶和 CRC)。

ACD 模式下，芯片大部分时间处于休眠状态，由 3K RC 定时唤醒，以极低功耗侦测 13.56 MHz 的射频场和射频卡，检测到场或卡自动产生中断唤醒 MCU。侦测场和卡的功能可以单独使能。在典型的 500 ms 轮询周期下，电流约为 3.5 uA。整个 ACD 过程不需要 MCU 干预。

芯片实现了多种主机接口：

- SPI 接口
- 串行 UART（类似 RS232，电平取决于提供的管脚电压）
- I2C 接口

---

## 目录

1 介绍 .....	1
目录 .....	2
2 产品特性.....	6
3 主要参数指标.....	7
4 芯片框图.....	8
5 管脚定义.....	10
6 功能描述.....	13
6.1 ISO 14443A 读卡器功能 .....	13
6.2 ISO/IEC 14443B 读卡器功能 .....	14
6.3 Auto Low Power Polling Loop .....	14
6.3.1 RF 参考值自动获取方法.....	16
6.3.2 检波电路.....	16
6.3.3 晶振监测.....	17
6.3.4 3K RC .....	17
6.3.5 ARI .....	17
6.3.6 ACD 配置监测 .....	17
7. 寄存器映射.....	18
7.1 寄存器集概述.....	18
7.2 PAGE0: 命令和状态.....	21
7.2.1 PageReg .....	21
7.2.2 CommandReg.....	22
7.2.3 CommlEnReg.....	22
7.2.4 DivlEnReg.....	23
7.2.5 CommlRqReg.....	24
7.2.6 DivlRqReg .....	25
7.2.7 ErrorReg.....	26
7.2.8 Status1Reg .....	26
7.2.9 Status2Reg .....	27
7.2.10 FIFODataReg .....	28
7.2.11 FIFOLevelReg.....	29
7.2.12 WaterLevelReg.....	29
7.2.13 ControlReg .....	30
7.2.14 BitFramingReg.....	30
7.2.15 CollReg .....	31
7.2.16 PollReg.....	32
7.3 PAGE1: 通信.....	36
7.3.1 PageReg .....	36
7.3.2 ModeReg.....	37
7.3.3 TxModeReg.....	38
7.3.4 RxModeReg .....	39

7.3.5 TxControlReg.....	40
7.3.6 TxAutoReg.....	40
7.3.7 TxSelReg.....	41
7.3.8 RxSelReg .....	42
7.3.9 RxThresholdReg .....	43
7.3.10 DemodReg .....	43
7.3.11 RFU .....	44
7.3.12 RFU .....	44
7.3.13 MifNFCReg .....	44
7.3.14 ManualRCVReg.....	45
7.3.15 TypeBReg.....	46
7.3.16 SerialSpeedReg .....	47
7.4 PAGE2: 配置.....	47
7.4.1 PageReg .....	47
7.4.2/3 CRCResultReg.....	48
7.4.4 GsNOffReg .....	49
7.4.5 ModWidthReg.....	49
7.4.6 RFU .....	50
7.4.7 RFCfgReg .....	50
7.4.8 GsNOnReg.....	51
7.4.9 CWGsPReg.....	51
7.4.10 ModGsPReg .....	52
7.4.11/12 TMode Register, TPrescaler Register.....	52
7.4.13/14 TReloadReg .....	54
7.4.15/16 TCounterValReg.....	55
7.5 PAGE3: 测试.....	55
7.5.1 PageReg .....	55
7.5.2 TestSel1Reg.....	56
7.5.3 TestSel2Reg.....	57
7.5.4 TestPinEnReg.....	57
7.5.5 TestPinValueReg .....	58
7.5.6 TestBusReg .....	58
7.5.7 AutoTestReg.....	59
7.5.8 VersionReg .....	60
7.5.9 AnalogTestReg .....	60
7.5.10 TestDAC1Reg .....	61
7.5.11 TestDAC2Reg .....	62
7.5.12 TestADCReg .....	62
7.5.13 RFTReg.....	63
8 数字接口.....	64
8.1 微控制器接口自动检测.....	64
8.2 SPI.....	64

---

8.2.1 SPI 读数据 .....	65
8.2.2 SPI 写数据 .....	65
8.2.3 SPI 地址字节 .....	66
8.3 UART .....	66
8.3.1 与主机的连接 .....	66
8.3.2 可选的传输速率 .....	66
8.3.3 UART 帧格式 .....	67
8.4 I <sup>2</sup> C .....	69
8.4.1 数据有效性 .....	70
8.4.2 起始和停止条件 .....	70
8.4.3 字节格式 .....	71
8.4.4 应答 .....	71
8.4.5 7 位寻址 .....	72
8.4.6 寄存器写访问 .....	72
8.4.7 寄存器读访问 .....	73
8.4.8 高速模式 .....	74
8.4.9 高速传输 .....	74
8.4.10 高速模式下的串行数据传输格式 .....	75
8.4.11 F/S 模式与 HS 模式间的转换 .....	76
8.4.12 F/S 模式下的 Si523 .....	76
9 模拟接口与非接触式 UART .....	77
9.1 概述 .....	77
9.2 TX 驱动 .....	77
9.3 串行数据转换器 .....	79
9.4 CRC 协处理器 .....	79
10 FIFO .....	81
10.1 FIFO 存取 .....	81
10.2 FIFO 控制 .....	81
10.3 FIFO 状态信息 .....	81
11 中断请求系统 .....	83
11.1 中断源概览 .....	83
12. 定时器 .....	85
13 低功耗模式 .....	87
13.1 硬掉电 .....	87
13.2 软掉电 .....	87
13.3 发射机掉电 .....	87
14 振荡器电路 .....	88
15 复位及振荡器启动时间 .....	89
15.1 复位时间要求 .....	89
15.2 振荡器启动时间 .....	89
16 命令集 .....	90
16.1 概述 .....	90

---

16.2 命令概览.....	90
16.3 命令说明.....	91
16.3.1 Idle .....	91
16.3.2 Generate RandomID.....	91
16.3.3 CalcCRC .....	91
16.3.4 Transmit .....	91
16.3.5 MStart.....	91
16.3.6 ADC_EXCUTE.....	92
16.3.7 NoCmdChange.....	92
16.3.8 Receive.....	92
16.3.9 Transceive .....	92
16.3.10 SoftReset.....	92
17 应用设计信息参考.....	93
18 极限参数.....	94
19 封装信息.....	95
20 版本信息.....	96
21 订单信息.....	97

## 2 产品特性

- 高度集成的模拟电路，解调和译码响应
- 带缓冲的输出驱动器，使用最少的外围元件与天线连接
- 读写器模式的操作距离取决于天线的尺寸和圈数，典型操作距离为 50 mm，
- 支持 ISO/IEC 14443 A/B 更高速率通信，最高达 848 kBd
- 支持的主机接口：
  - SPI 接口，速率高达 10 Mbits/s
  - I2C 接口，快速模式速率达 400 kBd，高速模式速率达 3400 kBd
  - 串行 UART，速率达 1228.8 kBd
- 64 字节 FIFO
- 灵活的中断模式
- 低功耗硬复位功能
- 支持软掉电模式
- 集成可编程定时器
- 27.12 MHz 内部振荡器
- 电源电压 2.5V-3.6V
- 集成 CRC 协处理器
- 可编程 I/O 管脚
- 支持 ACD 模式
  - ACD 模式支持自动检测 13.56 MHz 射频场和射频卡
  - ACD 过程不需要 MCU 干预
  - OSC 起振失败监测功能

## 3 主要参数指标

主要是各种模式下的电压、电流、温度。

表 3-1 主要参数指标

参数	符号	条件	备注	最小值	典型值	最大值	单位
模拟供电电压	VDDA	AVDD = PVDD = SVDD = TVDD;	(1)	2.3	3.3	4	V
TVDD 供电电压	VDD (TVDD)	VSSA = VSSD = VSS (PVSS) = VSS (TVSS) =		2.3	3.3	4	V
PVDD 供电电压	VDD (PVDD)	0 V	(1)	2.3	3.3	4	V
SVDD 供电电压	VDD (SVDD)	VSSA = VSSD = VSS (PVSS) = VSS (TVSS) = 0 V		2.3	3.3	4	V
掉电电流	I <sub>pd</sub>	AVDD = VDD (SVDD) = VDD (TVDD) = VDD (PVDD) = 3.3 V					
		硬掉电; NRSTPD 管脚置低	(2)	-	1.1	1.5	uA
		软掉电; 射频信号检测器开启	(2)	-	1.1	1.5	uA
自动寻卡平均电流	IACD1	500 ms 自动寻卡时间间隔		-	3.5	4	uA
自动寻场平均电流	IACD2	500 ms 自动寻场时间间隔		-	2.9	3.5	uA
PVDD 供电电流	IDDD	PVDD 引脚; PVDD = 3.3 V		-	0.9	1.5	mA
模拟供电电流	IDDA	AVDD 引脚; VDDA = 3.3 V, CommandReg 寄存器的 RcvOff 位 = 0		-	3	4	mA
		AVDD 引脚; 接收机关闭; VDDA = 3.3 V, CommandReg 寄存器的 RcvOff 位 = 1		-	0.9	1	mA
发射机电流	IDD (TVDD)	持续发射载波	(3)	-	20	30	mA
存储温度		QFN32		-55	-	+125	°C
工作温度		QFN32		-40	-	+85	°C

1) AVDD, VDD (TVDD) 必须始终保持电压相同;

2) I<sub>pd</sub> 是所有供电电源的总电流;

3) 典型电路操作期间, 总电流小于 30mA。

注: 如果外加条件超过“极限额定参数”的额定值, 将会对芯片造成永久性的破坏。

## 4 芯片框图

Si523 的模拟接口可以完成模拟信号的调制和解调。

非接触式 UART 用于处理与主机通信时的协议要求，FIFO 用于实现非接触式 UART 和主机之间快速便捷的数据传输。

多种主机接口可满足不同用户的需求。

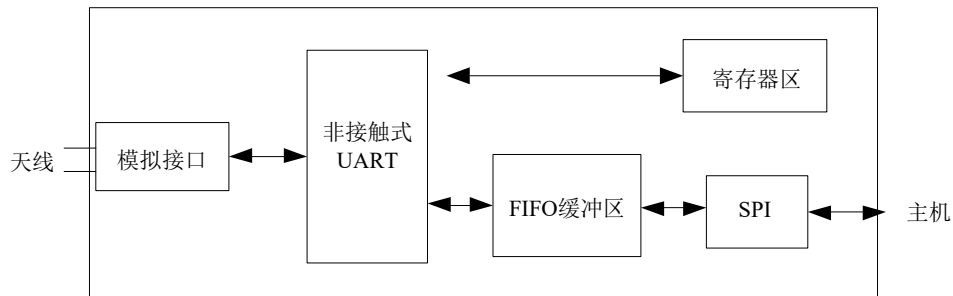


图 4-1 Si523 简化框图



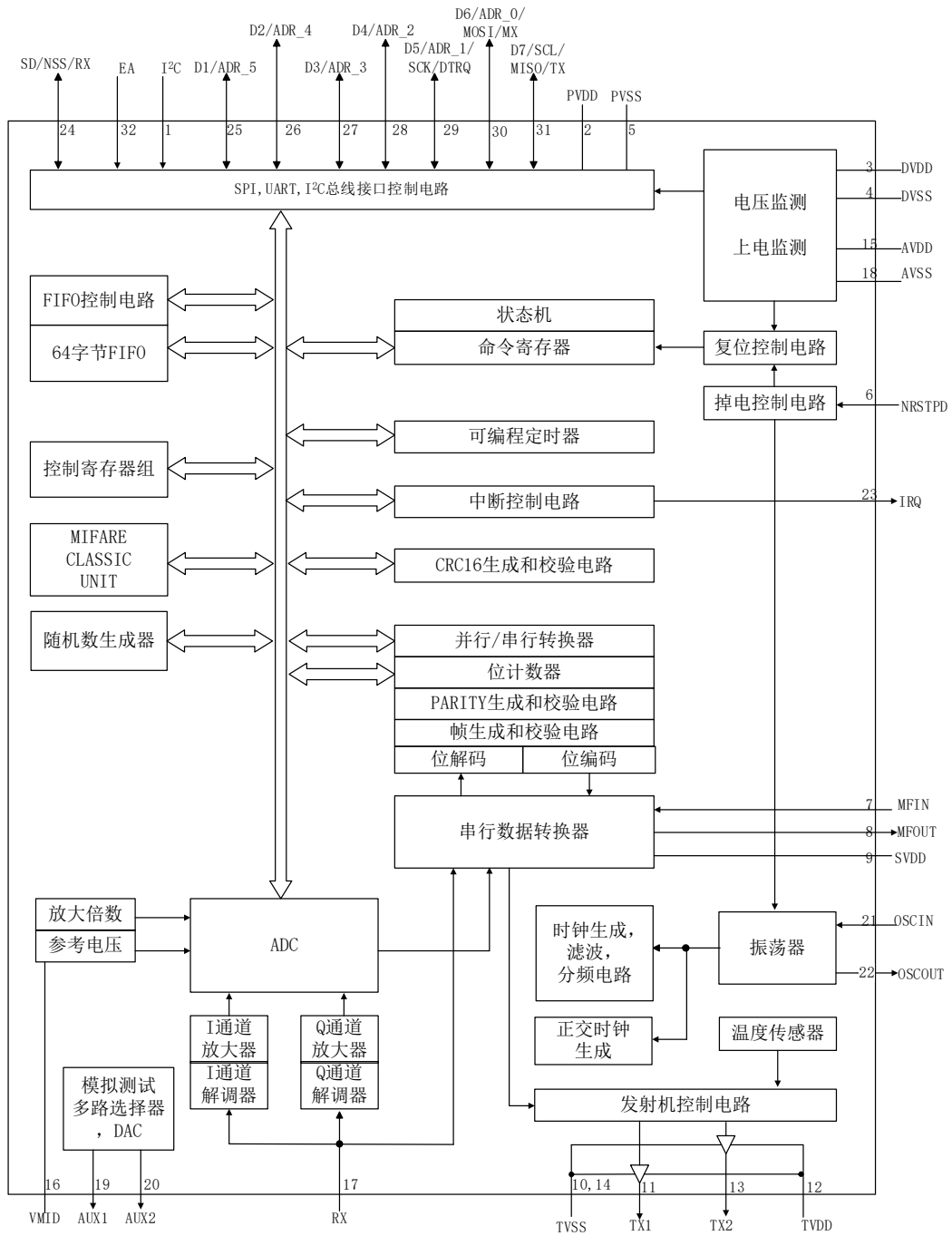


图 4-2 Si523 功能框图

## 5 管脚定义

Si523 管脚封装示意图如下：

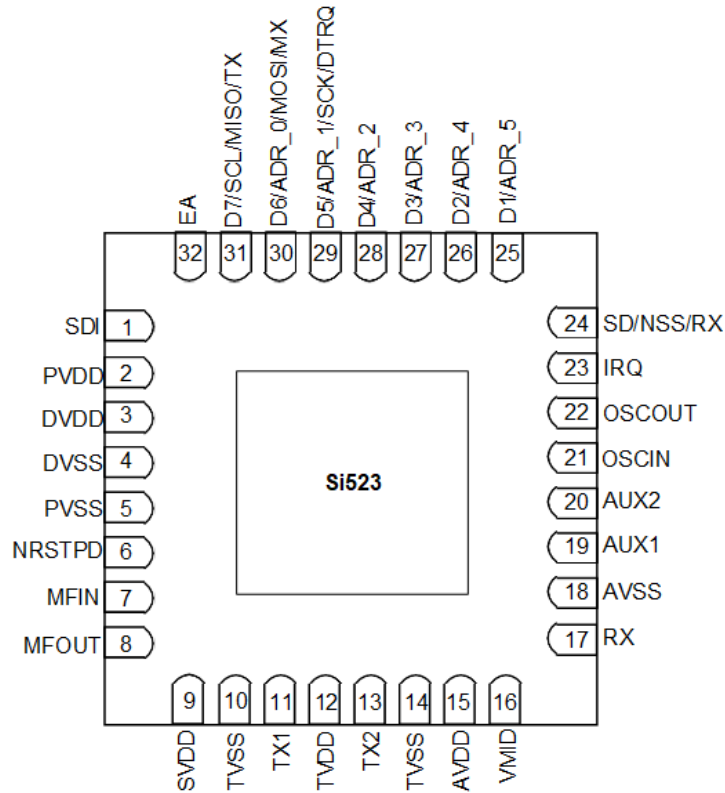


图 5-1 Si523 管脚示意图

表 5-1 管脚描述

管脚标号	符号	类型 <sup>[1]</sup>	描述
1	SDI	I	I <sup>2</sup> C 总线使能输入 <sup>[2]</sup>
2	PVDD	P	管脚电源
3	DVDD	P	数字电源
4	DVSS	P	数字地
5	PVSS	P	管脚电源地
6	NRSTPD	I	复位和掉电输入： ·掉电：处于低电平时进入掉电状态；内部电流驱动关闭，振荡器关闭，输入引脚冻结，不与外部连接

			·复位：上升沿触发复位
7	MFIN	I	测试输入
8	MFOUT	O	测试输出
9	SVDD	P	为 MFIN 和 MFOUT 供电
10	TVSS	P	发射机地：TX1, TX2 输出级的地
11	TX1	O	发射机 1：发射调制的 13.56MHz 能量载波
12	TVDD	P	发射机电源：TX1, TX2 输出级的电源
13	TX2	O	发射机 2：发射调制的 13.56MHz 能量载波
14	TVSS	P	发射机地：TX1, TX2 输出级的地
15	AVDD	P	模拟电源
16	VMID	P	内部参考电压：该管脚提供内部参考电压
17	RX	I	接收机输入
18	AVSS	P	模拟地
19	AUX1	O	辅助输出：用于测试
20	AUX2	O	
21	OSCIN	I	晶振输入：振荡器反相放大器的输入；同时也是外部时钟的输入 ( $f_{osc}=27.12\text{MHz}$ )
22	OSCOUT	O	晶振输出：振荡器反相放大器的输出
23	IRQ	O	中断请求：指示中断事件
24	SD	I/O	I <sup>2</sup> C 总线串行数据输入输出 <sup>[2]</sup>
	NSS	I	SPI 信号输入 <sup>[2]</sup>
	RX	I	UART 地址输入 <sup>[2]</sup>
25	D1	I/O	测试端口 <sup>[2]</sup>
	ADR_5	I/O	I <sup>2</sup> C 总线地址 5 输入 <sup>[2]</sup>
26	D2	I/O	测试端口
	ADR_4	I	I <sup>2</sup> C 总线地址 4 输入 <sup>[2]</sup>
27	D3	I/O	测试端口
	ADR_3	I	I <sup>2</sup> C 总线地址 3 输入 <sup>[2]</sup>
28	D4	I/O	测试端口
	ADR_2	I	I <sup>2</sup> C 总线地址 2 输入 <sup>[2]</sup>
29	D5	I/O	测试端口
	ADR_1	I	I <sup>2</sup> C 总线地址 1 输入 <sup>[2]</sup>

	SCK	I	SPI 串行时钟输入 <sup>[2]</sup>
	DTRQ	O	UART 向微控制器发数请求 <sup>[2]</sup>
30	D6	I/O	测试端口
	ADR_0	I	I <sup>2</sup> C 总线地址 0 输入 <sup>[2]</sup>
	MOSI	I/O	SPI 主机输出从机输入 <sup>[2]</sup>
	MX	O	UART 向微控制器的输出 <sup>[2]</sup>
31	D7	I/O	测试端口
	SCL	I/O	I <sup>2</sup> C 总线时钟输入/输出 <sup>[2]</sup>
	MISO	I/O	SPI 主机输入从机输出 <sup>[2]</sup>
	TX	O	UART 向微控制器的数据输出 <sup>[2]</sup>
32	EA	I	外部地址输入：用于编码 I <sup>2</sup> C 地址

注：[1] 管脚类型：I=输入 (Input)，O=输出 (Output)，P=电源 (Power)；  
 [2] 这些管脚的功能在第 8 节数字接口中另有说明。

## 6 功能描述

Si523 的传输模块支持具有多种传输速率和调制方法的 ISO14443A 和 14443B 的读卡器模式。

注意：本章所列出的调制系数和模式都是系统参数，也就是说为了达到最优性能，需要适配的芯片设置和天线调谐。

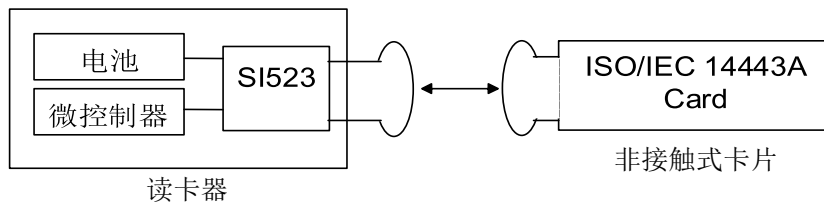


图 6-1 Si523 读卡模式

### 6.1 ISO 14443A 读卡器功能

物理层通信示意图如下。

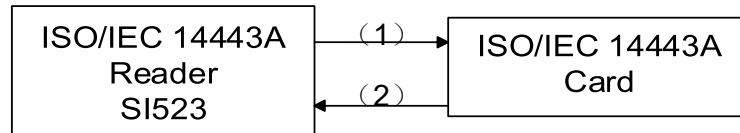


图 6-2 ISO/IEC 14443A 读卡器模式通信示意图

物理参数如下表所示。

表 6-1 ISO 14443A 读卡器通信相关参数列表

通信方向	信号类型	传输速率			
		106 kBd	212 kBd	424 kBd	848 kBd
读卡器→卡 ( Si523 发送 数据到卡)	读卡器的调制	100% ASK	100% ASK	100% ASK	100% ASK
	位编码	改进 Miller 编码	改进 Miller 编码	改进 Miller 编码	改进 Miller 编码
	位长度	(128/13.56) μs	(64/13.56) μs	(32/13.56) μs	(16/13.56) μs
卡 → 读卡器 ( Si523 接收 来自卡的数 据)	卡的调制	副载波负载调制	副载波负载调制	副载波负载调制	副载波负载调制
	副载波频率	13.56 MHz/16	13.56 MHz/16	13.56 MHz/16	13.56 MHz/16
	位编码	Manchester	BPSK	BPSK	BPSK

完整 ISO 14443A 协议的实现需要使用芯片的非接触式 UART 和外围专用主机。内部 CRC 协处理器根据 ISO 14443A-3 来计算 CRC 值，根据传输速率生成奇偶校验位。

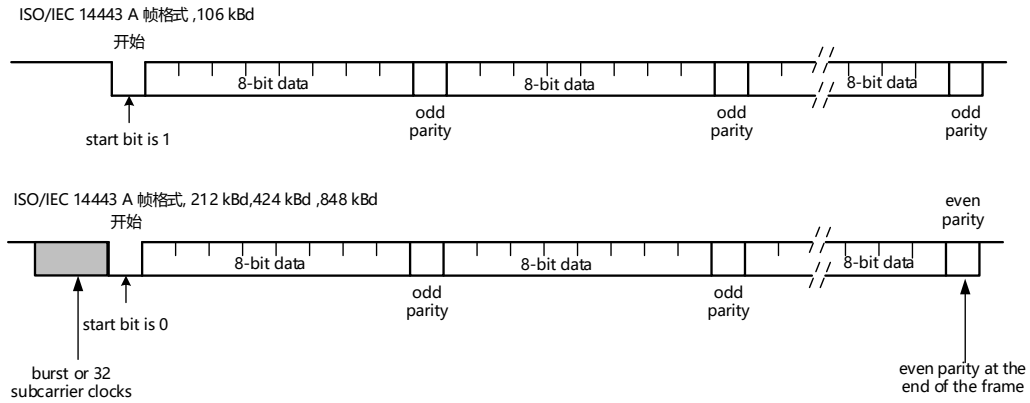


图 6-3 ISO/IEC 14443A 协议数据编码与帧结构

## 6.2 ISO/IEC 14443B 读卡器功能

Si523 支持 ISO/IEC 14443B 卡的读写，相关物理层参数如表 6-2 所示。

表 6-2 ISO 14443B 读卡器通信相关参数列表

通信方向	信号类型	传输速率			
		106kBd	212kBd	424kBd	848kBd
读卡器→卡 (Si523 发送数据到卡)	读卡器的调制	10%ASK	10%ASK	10%ASK	10%ASK
	位编码	NRZ -L	NRZ -L	NRZ -L	NRZ-L
	位长度	(128/13.56) μs	(64/13.56) μs	(32/13.56) μs	(16/13.56) μs
卡 → 读卡器 (Si523 接收来自卡的数据)	卡的调制	副载波负载调制	副载波负载调制	副载波负载调制	副载波负载调制
	副载波频率	13.56MHz/16	13.56MHz/16	13.56MHz/16	13.56MHz/16
	位编码	BPSK	BPSK	BPSK	BPSK

## 6.3 Auto Low Power Polling Loop

自动低功耗轮循环（Auto Low Power Polling Loop）由 3 个阶段构成——侦听、轮询和休眠。其中侦听和休眠可以单独使能。在典型的 500ms 的轮询周期下，平均电流仅为 3.5uA，可实现极低功耗自动检场检卡。

其原理简图如下所示：

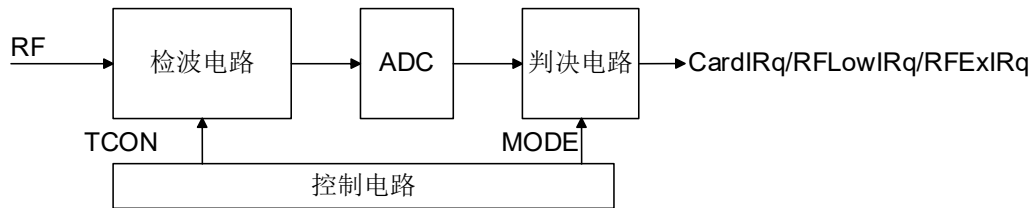


图 6-4 ACD 功能简图

轮询和侦听功能的实现原理见检波电路说明部分。轮询和侦听阶段的 TK/TR/TI/T\_CON 可以单独配置。

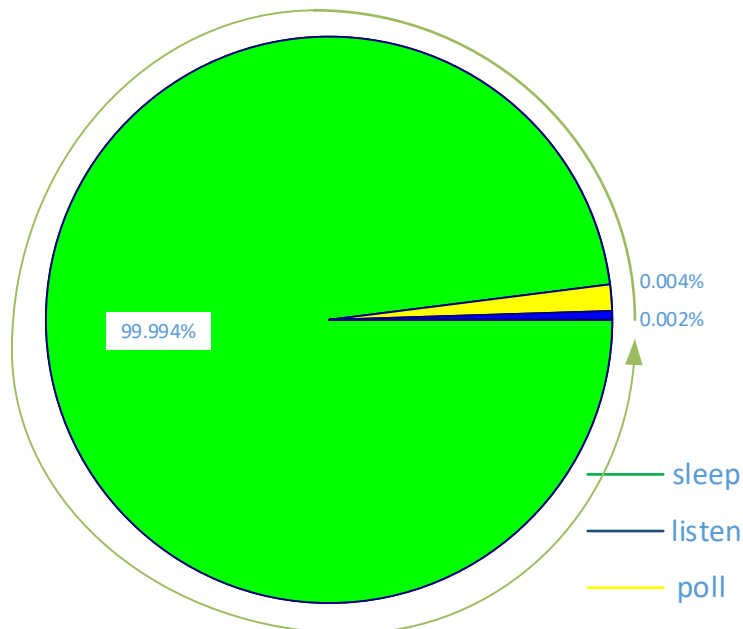


图 6-5 轮询过程示意图

根据用户设置，进入轮询模式之后的 2~5 次侦听/轮询可以忽略。

#### 1) 侦听阶段

Si523 在此阶段寻找阅读器。Si523 不发射载波，检测外部有没有其他阅读器发射的 13.56MHz 载波。若其幅度大于 RFExTreshold，则停止执行 Loop 并产生中断。

#### 2) 轮询阶段

Si523 在此阶段寻找射频卡。Si523 先发射载波然后检测 13.56MHz 载波幅度变化。若载波幅度变化大于设定阈值则判定为有卡并产生中断。

- (1) 检卡模式：可以设置为自动模式和绝对值模式
  - 自动模式——将本次检测载波幅度与上次检卡时的载波幅度比较，差值超过设定阈值则判定有卡。
  - 绝对值模式——将本次检测载波幅度与设定值比较，差值超过设定阈值则判定有卡。
- (2) 检卡方向：检卡方向可以根据需要设置为三种模式
  - 上升沿——有卡比无卡时的载波幅度大
  - 下降沿——有卡比无卡时的载波幅度小
  - 双沿——有卡比无卡时的载波幅度大或小
  - 场异常判断
- (3) 休眠阶段：芯片处于休眠状态。

相关寄存器：0x01, 0x0F\_A/B/C/D/E/F/G/I/J/K/L/M/N/O/P

### 6.3.1 RF 参考值自动获取方法

通过命令自动获取：

- 1) 通过写 ADC\_EXCUTE 命令获取，命令编码为 0110b；
- 2) 等待 100us 以上；
- 3) 再次写 ADC\_EXCUTE，读 0X0F\_G 即为所需参考值。

### 6.3.2 检波电路

检波电路原理简图如下：

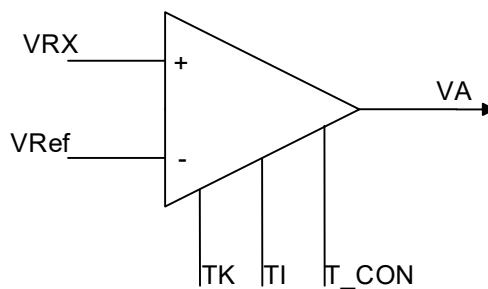


图 6-6 检波电路框图

VRX：天线端场强；

VRef：ADC 参考电压，由 T\_CON 控制；



VA: 检波模块送给 ADC 的电压。

### 6.3.3 晶振监测

在轮询过程中，当晶振连续 4 次起振失败时，产生晶振起失败中断。产生中断之后，芯片并不会唤醒，而是继续执行 Polling Loop。一旦 OSC 起振，内部计数器复位。

*相关寄存器有：0x0F\_F/0x0F\_O/0x0F\_P。*

### 6.3.4 3K RC

定时唤醒——由 3K RC 驱动，3K RC 只在 Polling Loop 中工作。

时钟校正——分为自动校正和手动校正：

- (1) 自动校正：通过写 MStart 命令自动校正，命令编码为 0101b；
- (2) 手动校正：通过配置寄存器进行手动校正。

*相关寄存器：0x0F\_A/0x0F\_E/0x0F\_F。*

### 6.3.5 ARI

此功能用来指示寻卡时 RF 场是否开启。ARI 比 RF 场提前开 1us，比 RF 场晚关 1us。ARI 功能和 D1 脚复用。

*相关寄存器：0x0F\_L/0x0F\_J。*

### 6.3.6 ACD 配置监测

进入轮询模式之前，将 ACCEn 置 1，使能配置监测功能。一旦数据丢失，将产生 ACCErr，通过 IRQ 传出。

更新轮询配置之前必须将 ACCEn 拉低。拉低 ACCEn，ACCErr 将自动被清除。

## 7. 寄存器映射

### 7.1 寄存器集概述

表 7-1 寄存器概览

地址 (HEX)	寄存器名	功能
PAGE0: 命令和状态		
0	PageReg	寄存器翻页和轮询配置访问
1	CommandReg	启动、终止命令的执行
2	CommIReqReg	中断请求传递的使能和禁能控制位
3	DivIEnReg	中断请求传递的使能和禁能控制位
4	ComIRqReg	中断请求标志位
5	DivIRqReg	中断请求标志位
6	ErrorReg	错误标志位, 指示上一个执行的命令的错误状态
7	Status1Reg	通信的状态标志
8	Status2Reg	接收机和发送机的状态标志
9	FIFODataReg	64 字节 FIFO 的输入输出缓冲区
A	FIFOLevelReg	指示 FIFO 中存储的字节数
B	WaterLevelReg	定义产生上溢和下溢警报的 FIFO 深度
C	ControlReg	各控制寄存器
D	BitFramingReg	面向比特的帧的调整
E	CollReg	RF 接口检测到的第一个冲突位的位置
F_A	RCCfg1	3K RC 配置 1
F_B	ACRDCfg	射频卡和射频场检测
F_C	ManRefVal	手动模式参考值
F_D	ValDelta	场强变化范围
F_E	ADCCfg	轮询 ADC 配置
F_F	RCCfg2	3K RC 配置 2
F_G	ADCVal	轮询 ADC 采样值
F_H	WdtCnt	看门狗间隔设置
F_I	ARI	ACRD

F_J	RFU	-
F_K	LPDCfg1	检波器配置 1
F_L	LPDCfg2	检波器配置 2
F_M	RFLowDetect	ACD 期间低 RF 监测配置
F_N	ExRFDetect	ACD 期间外部 RF 监测配置
F_O	ACRDIRqEn	ACD 相关中断使能
F_P	ACRDIRq	ACD 相关中断
PAGE1: 通信		
0	PageReg	寄存器翻页和轮询配置访问
1	ModeReg	定义发射和接收的常用模式
2	TxModeReg	定义发射的速率和帧
3	RxModeReg	定义接收的速率和帧
4	TxControlReg	控制天线驱动管脚 TX1 和 TX2 的逻辑特性
5	TxAutoReg	控制天线驱动的配置
6	TxSelReg	选择天线驱动源
7	RxSelReg	内部接收机设置
8	RxTH	选择位译码器的阈值
9	DemodReg	解调电路设置
A	RFU	-
B	RFU	-
C	MifNFCReg	控制 ISO14443A
D	Mfrx	接收机参数细调
E	TypeBReg	配置 ISO14443B 通信
F	SerialSpeedReg	选择串行 UART 接口的速率
PAGE2: 配置		
0	PageReg	寄存器翻页和轮询配置访问
1	CRCResultReg	显示 CRC 计算的 MSB 和 LSB 值
2		
3	GsNOffReg	选择天线驱动管脚 TX1 和 TX2 的电导系数，在天线驱动关闭时做调制用
4	ModWidthReg	控制调制宽度
5	RFU	-

6	RFCfgReg	配置接收机增益和 RF 检测器灵敏度
7	GsNOnReg	选择天线驱动管脚 TX1 和 TX2 的电导系数，在天线驱动打开时做调制用
8	CWGSPReg	选择天线驱动管脚 TX1 和 TX2 的电导系数，在未调制时使用
9	ModGsPReg	选择天线驱动管脚 TX1 和 TX2 的电导系数，在调制时使用
A	TMode Register	内部定时器设置
B	TPrescaler Register	
C	TRloadReg	16-bit 定时器重装值
D		
E	TCounterValReg	16-bit 实际定时器值
F		
PAGE3: 测试		
0	PageReg	寄存器翻页和轮询配置访问
1	CommTest1Reg	常用测试信号配置
2	TestSel2Reg	常用测试信号配置和 PRBS 控制
3	TestPinEnReg	8-bit 并行总线的管脚输出驱动使能（仅用于串行接口）
4	TestPinValueReg	当用作 I/O 总线时，定义 8-bit 并行总线的值
5	TestBusReg	内部测试总线的状态
6	SelfTestReg	控制数字自测试
7	VersionReg	版本控制
8	AnalogTestReg	控制管脚 AUX1 和 AUX2
9	TestDAC1Reg	定义 TestDAC1 的测试值
A	TestDAC2Reg	定义 TestDAC2 的测试值
B	TestADCReg	显示 ADC I 和 Q 通道的实际值
C-F	RFT	保留用于产品测试

根据寄存器的不同功能，寄存器位的存取情况也有不同。位操作相同的寄存器通常会被分配到一组。

寄存器行为如下表所示。

**表 7-2 寄存器行为描述**

缩写	操作	描述
r/w	读/写	这些位由微控制器写入和读出，用作芯片控制，其内容不受内部状态机的影响。例如 CommlRqReg 可以由微控制器写入和读出，也可以由内部状态机读出，但是状态机不

		能改变它的内容。
dy	动态	这些位由微控制器写入和读出，也可以由内部状态机自动写入。例如当执行完一个实际的命令后，命令寄存器的内容随之自动变化。
r	只读	这些位保存着大量的标志，其值仅由内部状态来决定。例如 CRCReady 标志不是从外部写入，而是显示芯片内部状态。
w	只写	读这些位通常返回 0。
RFU	-	这些寄存器保留为将来使用，其值不应更改。
RFT	-	这些寄存器保留用于产品测试，其值不应更改。

## 7.2 PAGE0：命令和状态

### 7.2.1 PageReg

表 7-3 PageReg 地址：00h 复位值：00h

	7	6	5: 2	1	0
	UsePageSelect	RegbankSelect	RegSelect	PageSelect	
访问权限	r/w	r/w	r/w	r/w	r/w

表 7-4 PageReg 位描述

位	符号	功能
7	UsePageSelect	<p>设置为 1 时，PageSelect 的值被视为寄存器地址 A5 和 A4。寄存器地址的低位则分别由地址引脚和内部地址锁存决定；</p> <p>设置为 0 时，寄存器地址完全由内部地址锁存所决定。地址引脚的描述见 9.1 节</p>
6	RegbankSelect	设置为 1 时，可以读写 0Fh 寄存器组
5-2	RegSelect	<p>0000：读写 A 组寄存器；</p> <p>0001：读写 B 组寄存器；</p> <p>...</p> <p>1111：读写 P 组寄存器</p>
1-0	PageSelect	PageSelect 的值只有在 UsePageSelect 为 1 时才有效，此时用于指定寄存器页，即地址高两位

## 7.2.2 CommandReg

启动、终止命令的执行。

**表 7-5 CommandReg 地址：01h 复位值：20h**

	7	6	5	4	3	2	1	0
	AutoPoll	0	RcvOff	Power Down	Command			
访问权限	dy	RFU	r/w	dy	dy	dy	dy	dy

**表 7-6 CommandReg 位描述**

位	符号	功能
7	AutoPoll	0: Off 1: On 在 ACD 模式下，每当检测带外部周期信号上升沿就自动开始执行轮询。在轮询期间，每当检测到场强中断就将 AutoPoll 置 0，即关闭 ACD，并产生中断信号；否则进入 PowerDown 模式，等待下一次外部周期信号
6	-	保留为将来使用
5	RcvOff	设置为 1 表示接收机的模拟部分关断
4	PowerDown	设置为 1 表示进入软掉电模式； 设置为 0，Si523 启动唤醒过程，在该过程中这一位仍然保持为 1，0 表示 Si523 已经准备好工作。 注意：如果已经激活 SoftReset 命令，这一位就不能再置位
3-0	Command	根据命令码来激活命令；读这些寄存器可以得到当前正在执行的命令。见 16 节

## 7.2.3 CommlEnReg

中断请求传递的使能和禁能控制位。

**表 7-7 CommlEnReg 地址：02h 复位值：80h**

	7	6	5	4	3	2	1	0
	IRqInv	TxIE	RxIE	IdleIE	HiAlertIE	LoAlertIE	ErrIE	TimerIE

访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
------	-----	-----	-----	-----	-----	-----	-----	-----

**表 7-8 CommlEnReg 位描述**

位	符号	功能
7	IRqInv	设置为 1 表示 IRQ 管脚上的信号与 Status1Reg 中的 IRq 位相反； 设置为 0 则相等。与 DivlRqReg 中的 IRqPushPull 位一起使用，默认值为 1 时 IRQ 管脚的输出是三态的
6	TxIEn	允许发射机中断请求 (TxIRq) 传递到 IRQ 管脚
5	RxIEn	允许接收机中断请求 (RxIRq) 传递到 IRQ 管脚
4	IdleIEn	允许空闲中断请求 (IdleIRq) 传递到 IRQ 管脚
3	HiAlertIEn	允许高警告中断请求 (HiAlertIRq) 传递到 IRQ 管脚
2	LoAlertIEn	允许低警告中断请求 (LoAlertIRq) 传递到 IRQ 管脚
1	ErrIEn	允许错误中断请求 (ErrorIRq) 传递到 IRQ 管脚
0	TimerIEn	允许定时器中断请求 (TimerIRq) 传递到 IRQ 管脚

## 7.2.4 DivlEnReg

中断请求传递的使能和禁能控制位。

**表 7-9 DivlEnReg 地址：03h 复位值：00h**

	7	6	5	4	3	2	1	0
	IRQPush Pull	CardIRqE n	WdtIRqE n	MFinActI En	RFU	CRCIEn	RFU	RFU
访问权限	r/w	r/w	r/w	r/w	-	r/w	-	-

**表 7-10 DivlEnReg 位描述**

位	符号	功能
7	IRQPushPull	设置为 1 表示 IRQ 管脚用作标准 CMOS 输出管脚； 设置为 0 表示 IRQ 管脚用作开漏输出管脚。
6	CardIRqEn	场强中断使能

		1: 使能 0: 不使能
5	WdtIRqEn	定时唤醒使能 1: 使能 0: 不使能
4	MFinActIEn	允许 MFIN 有效中断请求传递到 IRQ 管脚
3	RFU	-
2	CRCIEEn	允许 CRC 中断请求 (CRCIRq) 传递到 IRQ 管脚
1	RFU	-
0	RFU	-

## 7.2.5 CommlRqReg

中断请求标志位。

**表 7-13 CommlRqReg 地址: 04h 复位值: 14h**

	7	6	5	4	3	2	1	0
	Set1	TxIRq	RxIRq	IdleIRq	HiAlertIRq	LoAlertIRq	ErrIRq	TimerIRq
访问权限	w	dy	dy	dy	dy	dy	dy	dy

**表 7-14 CommlRqReg 位描述**

位	符号	功能
7	Set1	与中断标志位配合使用，用来将中断标志位置 1 或清 0 当此位写 0，同时对应中断标志位写 1 表示清除此中断位； 当此位写 1，同时对应中断标志位写 1 表示置位此中断位；
6	TxIRq	在发射完发送数据的最后一个比特后立刻置 1
5	RxIRq	当接收机检测到一个有效数据流结束后置 1； 如果 RxModeReg 中的 RxNoErr 为 1，那么只有当 FIFO 中有有效数据字节时 RxIRq 才置 1
4	IdleIRq	当命令自动终止时置 1，例如当 CommandReg 从任意命令变为空闲命令时。如果启动了一个未知的命令，CommandReg 将变为空闲，并置位 IdleIRq。由微控制器启动 Idle 命令则不会置位空闲中断
3	HiAlertIRq	当 Status1Reg 的 HiAlert 位为 1 时置 1。与 HiAlert 相反，HiAlertIRq 保存了该



		中断事件，只能通过 Set1 位的清零指示来复位
2	LoAlertIRq	当 Status1Reg 的 LoAlert 位为 1 时置 1.与 LoAlert 相反，LoAlertIRq 保存了该中断事件，只能通过 Set1 位的清零指示来复位
1	ErrIRq	当 ErrorReg 中有任何错误位为 1 时置 1
0	TimerIRq	当时器 TimerValue 寄存器递减到 0 时置 1

## 7.2.6 DivIRqReg

中断请求标志位。

**表 7-11 DivIRqReg 地址：05h 复位值：xxh, 000x00xxb**

	7	6	5	4	3	2	1	0
	Set2	CardIRq	WdtIRq	MFinActIRq	RFU	CRCIRq	RFU	RFU
访问权限	w	dy	dy	dy	-	dy	-	-

**表 7-12 DivIRqReg 位描述**

位	符号	功能
7	Set2	与中断标志位配合使用，用来将中断标志位置 1 或清 0 当此位写 0，同时对应中断标志位写 1 表示清除此中断位； 当此位写 1，同时对应中断标志位写 1 表示置位此中断位；
6	CardIRq	场强中断 1: 有卡 0: 无卡
5	WdtIRq	定时唤醒中断 1: 产生了定时唤醒 0: 未产生定时唤醒
4	MFinActIRq	当 MFIN 有效时置 1；当信号上升沿或下降沿被检测到时置位
3	RFU	-
2	CRCIRq	当 CRC 命令有效且所有数据都被处理后置 1
1	RFU	-
0	RFU	-

## 7.2.7 ErrorReg

错误标志位，指示上一个执行的命令的错误状态。

**表 7-15 ErrorReg 地址：06h 复位值：00h**

	7	6	5	4	3	2	1	0
	WrErr	TempErr	RFU	BufferOvfl	CollErr	CRCErr	ParityErr	ProtocolErr
访问权限	r	r	-	r	r	r	r	r

**表 7-16 ErrorReg 位描述**

位	符号	功能
7	WrErr	在射频接口发送最后一个比特到接收最后一个比特之间，主机向 FIFO 写数会置 1
6	TempErr	内部温度传感器检测到过热时置 1，此时天线驱动自动关断
5	RFErr	-
4	BufferOvfl	在主机或者 Si523 的内部状态机（如接收机）在 FIFO 已满的情况下仍向 FIFO 写数时置 1
3	CollErr	检测到位冲突时置 1；在接收机启动阶段自动清 0 仅在 106kbits/s 面向比特的防冲突过程中有效，在 212/424 kbts/s 时该位始终为 0
2	CRCErr	在 RxModeReg 中的 RxCRCEn 位为 1 且 CRC 计算错误时置 1，在接收机启动阶段自动清 0
1	ParityErr	在奇偶校验出错时置 1，在接收机启动阶段自动清 0。仅在 ISO 14443A 或 NFCIP-1 106kbts/s 通信情况下有效
0	ProtocolErr	1: SOF 错误 接收器启动阶段自动清零，仅在 106kBd 速率下有效

*注意：执行命令时将清除除了 TempErr 之外的所有错误标志位；错误标志位不能通过软件置位。*

## 7.2.8 Status1Reg

CRC，中断和 FIFO 的状态位。

**表 7-17 Status1Reg 地址：07h 复位值：xxh, x100x01xb**

	7	6	5	4	3	2	1	0
	RFU	CRCOk	CRCReady	IRq	TRunning	RFU	HiAlert	LoAlert
访问权限	-	r	r	r	r	-	r	r

**表 7-18 Status1Reg 位描述**

位	符号	功能
7	RFU	-
6	CRCOk	CRC 结果为 0 时置 1。在发射和接收数据时 CRCOk 不定，使用 ErrorReg 中 CRCErr 的值。CRCOk 指示了 CRC 协处理器的状态，在计算过程中该位为 0，CRC 计算完成且正确时置 1
5	CRCReady	CRC 计算完成时置 1，该位仅在 CalcCRC 命令期间对 CRC 协处理器的计算有效
4	IRq	任意中断源请求中断（与中断使能位有关，详见 CommlRqReg 和 DivIEnReg 的配置）
3	TRunning	定时单元工作时置 1，例如 TCounterValReg 会随着下一个定时器时钟的到来而递减 注意在门控模式中，当定时器由寄存器位使能时，则 TRunning 置 1，不受门控信号的影响
2	RFU	-
1	HiAlert	当 FIFO 中存储的字节数满足下式时置 1： $HiAlert = (64 - FIFOLength) \leq WaterLevel$
0	LoAlert	当 FIFO 中存储的字节数满足下式时置 1： $LoAlert = FIFOLength \leq WaterLevel$

## 7.2.9 Status2Reg

接收机，发射机和数据模式检测器的状态位。

**表 7-19 Status2Reg 地址：08h 复位值：00h**

	7	6	5	4	3	2	1	0
	TempSen sClear	I2CForce HS	RFU	RFU	RFU	Modem State		
访问权限	r/w	r/w	-	-	-	r	r	r

**表 7-20 Status2Reg 位描述**

位	符号	功能	
7	TempSensClear	设置为 1，且温度低于警报限制值 125°C 时清除温度错误	
6	I2CForceHS	I2C 输入滤波器设置。设置为 1 时，I2C 输入滤波器进入不受 I2C 协议约束的高速模式；设置为 0 时 I2C 输入滤波器满足 I2C 协议	
5:3	RFU	-	
2-0	Modem State	发射机和接收机的状态	
		值	描述
		000	空闲
		001	等待 BitFramingReg 中的 StartSend 置位
		010	TxWait: 如果 TxWaitRF 位为 1，等待 RF 场准备好再发射数据。 TxWait 的最小时间在 TxWaitReg 中定义
		011	发射数据
		100	RxWait: 如果 RxWaitRF 位为 1，等待 RF 场准备好再接收数据。 RxWait 的最小时间在 RxSelReg 中定义
		101	等待数据
	110	接收数据	

## 7.2.10 FIFODataReg

FIFO 的输入输出。

**表 7-21 FIFODataReg 地址: 09h 复位值: xxh, xxxxxxxxb**

	7	6	5	4	3	2	1	0
	FIFOData							
访问权限	dy	dy	dy	dy	dy	dy	dy	dy

**表 7-22 FIFODataReg 位描述**

位	符号	功能
7-0	FIFOData	内部 64 字节 FIFO 的数据输入和输出端口，相当于串行输入输出数据流的并行输入/输出转换器

## 7.2.11 FIFOLevelReg

指示存储在 FIFO 中的字节数。

**表 7-23 PageReg 地址: 0Ah 复位值: 00h**

	7	6	5	4	3	2	1	0
	FlushBuffer	FIFOLevel						
访问权限	w	r	r	r	r	r	r	r

**表 7-24 PageReg 位描述**

位	符号	功能
7	FlushBuffer	设置为 1 时, 立刻清除 FIFO 的读写指针和 ErrorReg 的 BufferOvfl 标志。读该位总是返回 0
6-0	FIFOLevel	指示存储在 FIFO 中的字节数, 写 FIFODataReg 时随之递增, 读 FIFODataReg 时随之递减

## 7.2.12 WaterLevelReg

定义发出 FIFO 下溢和上溢警告的 FIFO 深度。

**表 7-25 WaterLevelReg 地址: 0Bh 复位值: 08h**

	7	6	5	4	3	2	1	0
	0	0	WaterLevel					
访问权限	RFU	RFU	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-26 WaterLevelReg 位描述**

位	符号	功能
7-6	-	保留为将来使用
5-0	WaterLevel	指示产生上溢和下溢警告的 FIFO 深度: 当 FIFO 中剩余的空间 ≤ WaterLevel 时, Status1Reg 的 HiAlert 置 1; 当 FIFO 中的字节数 ≤ WaterLevel 时, Status1Reg 的 LoAlert 置 1

## 7.2.13 ControlReg

控制位。

**表 7-27 ControlReg 地址: 0Ch 复位值: 10h**

	7	6	5	4	3	2	1	0
	TStopNow	TStartNow	RFU	RFU	RFU	RxLastBits		
访问权限	w	w	-	-	-	r	r	r

**表 7-28 ControlReg 位描述**

位	符号	功能
7	TStopNow	设置为 1 时定时器立刻停止工作，读该位始终返回 0
6	TStartNow	设置为 1 时定时器立刻开始工作，读该位始终返回 0
5:3	RFU	-
2-0	RxLastBits	指示最后一个接收到的字节中有效的比特数，如果为 0，则整个字节都是有效的

## 7.2.14 BitFramingReg

调整面向比特的帧。

**表 7-29 BitFramingReg 地址: 0Dh 复位值: 00h**

	7	6	5	4	3	2	1	0
	StartSend	RxAlign			0	TxLastBits		
访问权限	w	r/w	r/w	r/w	RFU	r/w	r/w	r/w

**表 7-30 BitFramingReg 位描述**

位	符号	功能
7	StartSend	设置为 1 时开始发射数据；该位只在与 Transceive 命令一起使用时有效
6-4	RxAlign	用于面向比特的帧的接收：RxAlign 定义了接收到的第一个比特在 FIFO 中的存储比特位置，后面接收到的比特依次存储其后  例如： RxAlign=0: 接收到的 LSB 存储在比特位置 0，第二个接收到的比特存储在比

		特位置 1: RxAlign=1: 接收到的 LSB 存储在比特位置 1, 第二个接收到的比特存储在比特位置 2; 特位置 2: RxAlign=7: 接收到的 LSB 存储在比特位置 7, 第二个接收到的比特存储在下一个字节的比特位置 0;
3	-	保留为将来使用
2-0	TxLastBits	用于面向比特的帧的发送: TxLastBits 定义了发射数据最后一个字节要发射的比特数, 000 表示发射整个字节

## 7.2.15 CollReg

RF 接口检测到的首个位冲突的位置。

**表 7-31 CollReg 地址: 0Eh 复位值: xxh, 101xxxxb**

	7	6	5	4	3	2	1	0
	Values AfterColl	RFU	CollPos NotValid	CollPos				
访问权限	r/w	-	r	r	r	r	r	r

**表 7-32 CollReg 位描述**

位	符号	功能
7	ValuesAfterColl	如果设置为 0, 发生冲突后所有接收到的比特都会被清除; 该位仅在 106kbts/s 面向比特的防冲突过程中使用, 否则将设置为 1
6	RFU	保留为将来使用
5	CollPosNotValid	如果没有检测到冲突, 或者冲突位置超过了 CollPos 的范围, 则设置为 1; 仅在 106kbts/s 的被动通信模式或者 ISO
4-0	CollPos	指示了首个被检测到的位冲突在接收帧中的位置 例如: 00h 表示在第 32 位上检测到了位冲突 01h 表示在第 1 位上检测到了位冲突 08h 表示在第 8 位上检测到了位冲突 仅在 106kbts/s 的被动通信模式或者 ISO 14443A 读卡器模式, 且 CollPosNotValid 为 0 的情况下有效

## 7.2.16 PollReg

地址 0x0F 下埋了 16 组寄存器，通过地址 0x00/0x10/0x20/0x30 寄存器选择具体访问哪一组。

**表 7-33 PollReg 地址: 0Fh 复位值: xxh, 详见下表**

地址	位	符号	访问权限	复位值	描述
0F_A		RCCfg1		05h	3K RC 配置 1
	7	Trimsel	r/w	0b	1: 选择手动校正 0: 选择自动校正
	6	Max	r/w	0b	1: 使能精校正
	5:0	mdelay	r/w	000101b	ACD 唤醒间隔 (mdelay+1)*100ms, 最小 100ms, 最大 6400ms
0F_B		ACRDCfg		02h	3K RC 配置 1
	7:6	ACDEdge	r/w	00b	简语定义: LSample 上一次检卡采样值 CSample 本次检卡采样值 ValSet 为 0F_C[6:0]的值 ValDelta 为 0F_D[6:0]的值 绝对值模式有卡判决条件 00/11: CSample > ValSet + ValDelta 或者 CSample < ValSet - ValDelta 01: CSample > ValSet + ValDelta 10: CSample < ValSet - ValDelta 相对值模式有卡判决条件 CSample > LSample+ ValDelta 或者 CSample < LSample- ValDelta 01: CSample > LSample+ ValDelta 10: CSample < LSample- ValDelta
	5	ACDMode	r/w	0b	0: 绝对值比较 1: 相对值比较



	4:3	ACDRFEn	r/w	00b	01: 使能低功耗卡检测 10: 使能低功耗 RF 检测 00/11: 同时使能低功耗卡和 RF 检测
	2:1	MaskACD	r/w	01b	ACD 模式下 00: 从第 3 次轮询开始检测卡或射频场 01: 从第 4 次轮询开始检测卡或射频场 10: 从第 5 次轮询开始检测卡或射频场 11: 从第 6 次轮询开始检测卡或射频场
	0	-			保留
0F_C		ValSet		70h	手动模式参考值
	7	-	RFU	0b	
	6:0	ValSet	r/w	1110000b	手动设置无卡场强参考值
0F_D		ValDelta		0fh	场强变化范围
	7	-	RFU	0	
	6:0	ValDelta	r	0001111b	场强变化范围设置
0F_E		-	-	03h	保留
	7	-	-	-	保留
	6	-	-		保留
	5	-	-		保留
	4:3	-	-		保留
	2:0	-	-		保留
0F_F		RCCFG1		c0h	3K RC 配置 2
	7	OMEN	r/w	1b	1: 使能 OSC 监测功能 0: 关闭 OSC 监测功能
	6:0	TRIMSET	r/w	1000000b	手动设置 RCOSC 校正值
0F_G		ADCVal		xx	轮询 ADC 采样值
	7	-	RFU	0b	
	6:0	VAL_ADC	r	x	ADC 采样值
0F_H		WdtCnt		26h	看门狗中断产生间隔设置
	7:0	WdtCnt	r/w	00100110b	轮询模式下，每次唤醒检卡时看门狗计数器加 1，当看门狗计数器值与 WdtCnt 相等时产生看门狗中断，同时看门狗重新计

					数，但是并不会唤醒芯片。
0F_I		ARI		00h	
	7:6	-	-	-	
	5:4	TK	r/w	00b	<p>检波前端放大器控制</p> <p>00/11: 检波前端放大器 OFF</p> <p>01: 检波前端放大 10 倍</p> <p>10: 检波前端放大 21 倍</p>
	3	-	-	-	
	2	ARIPol	r/w	0b	<p>ARI 极性控制</p> <p>1: ARI 低电平指示 ACD 模式下 RF 开启</p> <p>0: ARI 高电平 ACD 模式下 RF 开启</p>
	1	ARIEEn	r/w	0b	<p>ARI 使能</p> <p>1: 使能，即 D1 输出 ARI</p> <p>0: 不使能，即不影响 D1 引脚状态</p>
	0	ARI	r	x	ACD 模式下 RF 状态指示
0F_J		ACC	-	-	ACD 模式下监测配置是否丢失。
	7	ACCErr	r	0	<p>0: 轮询配置数据没有丢失</p> <p>1: 轮询配置数据丢失</p> <p>仅在 ACCEn 为 1 的情况下有效。</p>
	6	ACCEn	r/w	0	<p>ACC 使能，在配置 ACD 寄存器时，将必须先从此位清零。</p> <p>0: 写 55h 清零；</p> <p>1: 写非 55h 置 1。</p>
	5:0	-	-	0	保留
0F_K		LPDCFG1		0fh	
	7	-	-	-	保留
	6:5	TR	r/w	00b	<p>检波电路中的减法器增益控制字。</p> <p>00: 1 倍</p> <p>01: 3 倍</p> <p>10: 7 倍</p> <p>11: 15 倍</p>

	4:3	TI	r/w	01b	<p>检波电路中前段检波运放斜率控制字。</p> <p>00: 0.5</p> <p>01: 1</p> <p>10: 1.5</p> <p>11: 2</p>
	2:0	VCON	r/w	111b	<p>检波时 ADC 参考电压控制。通过配置此位使检波模块输出位于 ADC 量程内。</p> <p>000: 1.407V</p> <p>001: 1.472V</p> <p>010: 1.537V</p> <p>011: 1.603V</p> <p>100: 1.66V</p> <p>101: 1.718V</p> <p>110: 1.8V</p> <p>111: 1.9V</p>
0F_L		-	-	-	保留
0F_M		RFLowDetect		08h	ACD 期间低 RF 监测配置
	7	RFLowDetectEn	r/w	0b	<p>1: 使能 Reader 所发 RF 异常检测</p> <p>0: 关闭 Reader 所发 RF 异常检测</p>
	6:0	RFLowThreshold	r/w	0001000b	<p>检卡时判断 RF 是否过低</p> <p>阈值可选范围 0~128</p> <p>阈值计算公式:</p> <p>RFLowThreshold</p>
0F_N		ExRFDetect		08h	ACD 期间外部 RF 监测配置
	7	-	RFU	0	
	6:0	RFNoThreshold	r/w	0001000b	判断周围有无其他 RF 的阈值
0F_O		ACRDIRqEn		00h	ACD 相关中断使能
	7:4	-	RFU	0b	
	3	OSCMonIrqEn	r/w	0b	1:使能 OSCMonIrqEn 中断
	2	-	RFU	0b	
	1	RFLowIrqEn	r/w	0b	1: 使能 RFLowIrq 中断
	0	RFEExIrqEn	r/w	0b	1: 使能 RFEExIrq 中断

0F_P		ACRDIRq		00h	ACD 相关中断
	7	set3	w	0b	与中断标志位配合使用，用来将中断标志位置 1 或清 0 当此位写 0，同时对应中断标志位写 1 表示清除此中断位； 当此位写 1，同时对应中断标志位写 1 表示置位此中断位；
	6:4	-	RFU	0b	
	3	OSCMonIrq	dy	0b	1: OSC 连续四次唤醒失败
	2	-	RFU	0b	保留
	1	RFLowIrq	dy	0b	1: 检卡时 RF 值过低
	0	RFEsIrq	dy	0b	1: 检测到外部 RF

## 7.3 PAGE1: 通信

### 7.3.1 PageReg

表 7-34 PageReg 地址: 10h 复位值: 00h

	7	6	5: 2	1	0
	UsePageSelect	RegbankSelect	RegSelect	PageSelect	
访问权限	r/w	r/w	r/w	r/w	r/w

表 7-35 PageReg 位描述

位	符号	功能
7	UsePageSelect	设置为 1 时，PageSelect 的值被视为寄存器地址 A5 和 A4。寄存器地址的低位则分别由地址引脚和内部地址锁存决定； 设置为 0 时，寄存器地址完全由内部地址锁存所决定。地址引脚的描述见 8.1 节
6	RegbankSelect	设置为 1 时，可以读写 0Fh 寄存器组
5-2	RegSelect	0000: 读写 A 组寄存器； 0001: 读写 B 组寄存器； ...

		1111: 读写 P 组寄存器
1-0	PageSelect	PageSelect 的值只有在 UsePageSelect 为 1 时才有效, 此时用于指定寄存器页 (即寄存器地址 A5 和 A4)

## 7.3.2 ModeReg

定义发射和接收模式的通用设置。

**表 7-36 ModeReg 地址: 11h 复位值: 3Bh**

	7	6	5	4	3	2	1	0
	MSBFirst	RFU	TxWaitR F	RFU	PolSigin	RFU	CRCPreset	
访问权限	r/w	-	r/w	-	r/w	-	r/w	r/w

**表 7-37 ModeReg 位描述**

位	符号	功能	
7	MSBFirst	设置为 1 时, CRC 协处理器从最高位开始计算 CRC, 且 CRCResultReg 中的 CRCResultMSB 和 CRCResultLSB 位是颠倒的。注意在 RF 通信中忽略该位功能	
6	RFU	-	
5	TxWaitRF	设置为 1 时, 读卡器模式下发射机只有在自身 RF 场产生后才启动	
4	RFU		
3	PolSigin	定义 MFIN 管脚的极性。设置为 1 时, MFIN 管脚高电平有效; 设置为 0 时低电平有效。注意内部包络信号的编码是低电平有效的, 改变该位的值会产生 SiginActIRq 中断	
2	RFU	-	
1-0	CRCPreset	定义 CalCRC 命令下 CRC 协处理器的预设值, 注意在任何通信过程中, 协处理器会根据 RxMode 和 TxMode 自动选择预设值	
		设置	对应 CRC 预设值
		00	0000
		01	6363
		10	A671
		11	FFFF

### 7.3.3 TxModeReg

定义发射过程的数据速率和帧格式。

**表 7-38 TxModeReg 地址: 12h 复位值: 00h**

	7	6	5	4	3	2	1	0
	TxCRCEn	TxSpeed			InvMod	TxMix	TxFraming	
访问权限	r/w	dy	dy	dy	r/w	r/w	dy	dy

**表 7-39 TxModeReg 位描述**

位	符号	功能	
7	TxCRCEn	设置为 1 时，数据发射过程中可以产生 CRC；仅在 106kbits/s 下可以设置为 0	
6-4	TxSpeed	定义数据传输速率。	
		设置	速率
		000	106kbits/s
		001	212kbits/s
		010	424kbits/s
		011	848kbits/s
		100	保留
		101	保留
110	保留		
111	保留		
3	InvMod	设置为 1 时，待发射数据的调制是反相的	
2	TxMix	设置为 1 时，MFIN 管脚上的信号与内部编码器的相混合	
1-0	TxFraming	定义数据传输使用的帧格式	
		设置	描述
		00	ISO/IEC 14443 A
		01	保留
		10	保留
11	ISO/IEC 14443 B		

## 7.3.4 RxModeReg

定义接收过程的数据速率和帧格式。

**表 7-40 RxModeReg 地址: 13h 复位值: 00h**

	7	6	5	4	3	2	1	0
	RxCRCEn	RxSpeed			RxNoErr	RxMultiple	RxFraming	
访问权限	r/w	dy	dy	dy	r/w	r/w	dy	dy

**表 7-41 RxModeReg 位描述**

位	符号	功能	
7	RxCRCEn	设置为 1 时，数据接收过程中可以产生 CRC；仅在 106kbits/s 下可以设置为 0	
6-4	RxSpeed	定义数据传输速率。	
		设置	速率
		000	106kbits/s
		001	212kbits/s
		010	424kbits/s
		011	848kbits/s
		100	保留
		101	保留
		110	保留
111	保留		
3	RxNoErr	设置为 1 时，接收时忽略无效的数据流（少于 4bits），接收机仍继续工作，ISO 14443B 模式如果要忽略无效数据，还需将 RxSOFReq 设置为 1	
2	RxMultiple	设置为 0 时，接收机在接收完一个数据帧后关闭 设置为 1 时，可以接收多个数据帧，Receive 和 Transceive 命令不会自动终止，只能通过写其他命令（除 Receive 外）或者由主机清除该位来终止接收； Si523 会在 FIFO 接收的数据流末尾加上一个错误信息字节（ErrorReg 的值）	
1-0	RxFraming	定义接收数据使用的帧格式	
		设置	
		00	ISO/IEC 14443 A
	01	保留	

		10	保留
		11	ISO/IEC 14443 B

### 7.3.5 TxControlReg

控制天线驱动管脚 TX1 和 TX2 的逻辑特性。

**表 7-42 TxControlReg 地址: 14h 复位值: 80h**

	7	6	5	4	3	2	1	0
	InvTx2R FOn	InvTx1R FOn	InvTx2R FOff	InvTx1R FOff	Tx2CW	RFU	Tx2RF En	Tx1RF En
访问权限	r/w	r/w	r/w	r/w	r/w	-	r/w	r/w

**表 7-43 TxControlReg 位描述**

位	符号	功能
7	InvTx2RFOn	设置为 1 时, 如果 TX2 驱动开启, 则 TX2 管脚的输出信号反相
6	InvTx1RFOn	设置为 1 时, 如果 TX1 驱动开启, 则 TX1 管脚的输出信号反相
5	InvTx2RFOff	设置为 1 时, 如果 TX2 驱动关闭, 则 TX2 管脚的输出信号反相
4	InvTx1RFOff	设置为 1 时, 如果 TX1 驱动关闭, 则 TX1 管脚的输出信号反相
3	Tx2CW	设置为 1 时, 管脚 TX2 持续输出未调制的 13.56MHz 载波; 设置为 0 时, Tx2CW 使能调制载波信号
2	RFU	-
1	Tx2RFEn	设置为 1 时, 管脚 TX2 输出由待传输数据调制的 13.56MHz 载波
0	Tx1RFEn	设置为 1 时, 管脚 TX1 输出由待传输数据调制的 13.56MHz 载波

### 7.3.6 TxAutoReg

控制天线驱动的设置。

**表 7-44 TxAutoReg 地址: 15h 复位值: 00h**

	7	6	5	4	3	2	1	0
	RFU	Force100 ASK	RFU	RFU	RFU	RFU	RFU	RFU



访问权限	-	r/w	-	-	-	-	-	-
------	---	-----	---	---	---	---	---	---

**表 7-45 TxAutoReg 位描述**

位	符号	功能
7	RFU	-
6	Force100ASK	设置为 1 时，忽略 ModGsPReg 的值，强制 ASK 调制系数为 100%
5:0	RFU	-

### 7.3.7 TxSelReg

选择模拟部分的信号来源。

**表 7-46 TxSelReg 地址：16h 复位值：10h**

	7	6	5	4	3	2	1	0
	0	0	DriverSel		SigOutSel			
访问权限	RFU	RFU	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-47 TxSelReg 位描述**

位	符号	功能	
7-6	-	保留为将来使用	
5-4	DriverSel	选择 Tx1 和 Tx2 驱动 <input/> 的输入	
		设置	描述
		00	三态。注意设置为三态时，软掉电模式下驱动只能处于三态模式
		01	来自内部编码器的调制信号（包络）
		10	来自 MFIN 的调制信号（包络）
11	高电平。注意电平值取决于 InvTx1RFO <sub>n</sub> /InvTx1RFO <sub>ff</sub> 和 InvTx2RFO <sub>n</sub> /InvTx2RFO <sub>ff</sub> 的设置		
3-0	SigOutSel	选择 MFOUT 管脚的 <input/> 输入	
		设置	描述

		0000	三态
		0001	低电平
		0010	高电平
		0011	TestBus 信号。由 CommTest1Reg 中的 TestBusBitSel 位定义
		0100	编码之后的待发射数据
		0101	编码之前的待发射数据
		0110	保留
		0111	解码之后的接收数据
		1000-1111	保留

### 7.3.8 RxSelReg

内部接收机设置。

**表 7-48 RxSelReg 地址：17h 复位值：84h**

	7	6	5	4	3	2	1	0
	UartSel		RxWait					
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-49 RxSelReg 位描述**

位	符号	功能	
7-6	UartSel	选择非接触式 UART 的输入	
		设置	描述
		00	固定的低电平
		01	MFIN 的包络信号
		10	来自内部电路模拟部分的调制信号
		11	无载波的 NRZ 信号，仅在 106kbps 上有效；
5-0	RxWait	数据发射后，延迟 RxWait 个比特时间后激活接收机。在这个帧保护时间内忽略 RX 管脚上的信号。此参数用于除 Receive 外的其他命令（如 Transceive），根据 Si523 的不同模式，RxWait 计数器的启动时间也不同。被动通信模式下计数器在发射数据流的最后一个调制脉冲后启动；主动通信模式下计数器在外部 RF 场打开后立即启动	

### 7.3.9 RxThresholdReg

选择位译码器的阈值。

**表 7-50 RxThresholdReg 地址：18h 复位值：84h**

	7	6	5	4	3	2	1	0
	MinLevel				RFU	CollLevel		
访问权限	r/w	r/w	r/w	r/w	-	r/w	r/w	r/w

**表 7-51 RxThresholdReg 位描述**

位	符号	功能
7-4	MinLevel	定义输入译码器信号有效的最小强度阈值，如果信号强度低于此值，则不会被译码
3	RFU	保留为将来使用
2-0	CollLevel	定义输入译码器的 Manchester 编码信号中，当产生位冲突时，强度更弱的半个比特信号的最小强度阈值

### 7.3.10 DemodReg

解调电路设置。

**表 7-52 DemodReg 地址：19h 复位值：4Dh**

	7	6	5	4	3	2	1	0
	AddIQ		FixIQ	TPrescal Even	TauRcv		TauSync	
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-53 DemodReg 位描述**

位	符号	功能	
7-6	AddIQ	定义接收过程中 I 和 Q 通道的使用。注意在 FixIQ 为 0 时如下设置才有效	
		设置	描述
		00	选择信号值更强的通道
	01	选择信号值更强的通道并冻结	

		10	I, Q 通道信号相加
		11	保留
5	FixIQ	设置为 1 且 AddIQ=x0, 则接收时固定使用 I 通道 设置为 1 且 AddIQ=x1, 则接收固定使用 Q 通道 注意如果 MFIN/MFOUT 作为 S2C 接口使用, FixIQ 要重新设置为 1, AddIQ 设置为 x0	
4	TPrescalEven	设置为 0 时, 使用下式计算预分频器的频率 fTimer: $fTimer = 13.56MHz / (2 * TPreScaler + 1)$ ; 设置为 1 时, 使用下式计算预分频器的频率 fTimer: $fTimer = 13.56MHz / (2 * TPreScaler + 2)$ . (TPrescalEven 默认为 0).	
3-2	TauRev	数据接收过程中改变内部 PLL 的时间常数 注意设置为 00 时, 数据接收过程中 PLL 是冻结的	
1-0	TauSync	Brust 过程中改变内部 PLL 的时间常数	

### 7.3.11 RFU

保留为将来使用。

### 7.3.12 RFU

保留为将来使用。

### 7.3.13 MifNFCReg

目标或者卡模拟模式下 ISO 14443A/NFC 的具体设置。

**表 7-54 MifNFCReg 地址: 1Ch 复位值: 62h**

	7	6	5	4	3	2	1	0
	RFU			RFU		RFU	Txwait	
访问权限	-	-	-	-	-	-	r/w	r/w

**表 7-55 MifNFCReg 位描述**

位	符号	功能
---	----	----

7-5	RFU	-
4-3	RFU	-
2	RFU	-
1-0	Txwait	<p>定义接收与发射之间的最小响应时间: TxWait bits + 7 bits.</p> <p>最短响应时间是 7bits 长度 (Txwait=0), 最长 10bits (Txwait=3), 如果帧的传输在最小响应时间结束前启动, Si523 会等待最小响应时间结束后再开始发射数据;</p> <p>如果帧的传输在最小响应时间结束后启动, Si523 在数据比特同步正确 (由 TxBitPhase 设置) 的情况下立刻开始发射数据</p>

### 7.3.14 ManualRCVReg

接收设置。

注意: 标准应用下不建议更改此寄存器配置。

**表 7-56 ManualRCVReg 地址: 1Dh 复位值: 00h**

	7	6	5	4	3	2	1	0
	RFU	RFU	RFU	Parity Disable	RFU	RFU	RFU	
访问权限	-	-	-	r/w	-	-	-	-

**表 7-57 ManualRCVReg 位描述**

位	符号	功能
7	RFU	-
6	RFU	-
5	RFU	-
4	ParityDisable	设置为 1 时, 关闭发射数据时奇偶校验位的产生和接收数据时奇偶校验位的检验。接收到的奇偶校验位做数据位处理
3	RFU	-
2	RFU	-
1-0	RFU	-

## 7.3.15 TypeBReg

表 7-58 TypeBReg 地址：1Eh 复位值：00h

	7	6	5	4	3	2	1	0
	RxSOF Req	RxEOF Req	RFU	EOFSOF Width	NoTx SOF	NoTx EOF	TxEGT	
访问权限	r/w	r/w	-	r/w	r/w	r/w	r/w	r/w

表 7-59 TypeBReg 位描述

位	符号	功能
7	RxSOFReq	设置为 1 时，不接收无 SOF 的数据流；清 0 后，接收有 SOF 和无 SOF 的数据流。SOF 不会被写入 FIFO
6	RxEOFReq	设置为 1 时，不接收无 EOF 的数据流，末尾无 EOF 的数据流会导致 ProtocolErr；清 0 后，接收有 EOF 和无 EOF 的数据流。EOF 不会被写入 FIFO
5	RFU	保留为将来使用
4	EOFSOFWidth	<p>如果设置为 1 且 EOFSOFAdjust 为 0，SOF 和 EOF 取 ISO 14443B 协议中定义的最大长度；</p> <p>如果清零且 EOFSOFAdjust 为 0，SOF 和 EOF 取 ISO 14443B 协议中定义的最小长度；</p> <p>如果设置为 1 且 EOFSOFAdjust 为 1，则有：</p> <p>SOF 低电平时间：<math>SOF_{low} = (11etu - 8cycles) / fc</math></p> <p>SOF 高电平时间：<math>SOF_{high} = (2etu + 8cycles) / fc</math></p> <p>EOF 低电平时间：<math>EOF_{low} = (11etu - 8cycles) / fc</math>，</p> <p>其中 etu 为 1 比特持续时间，cycle 为 1 个时钟周期，fc 为载波频率。</p> <p>如果设置为 0 且 EOFSOFAdjust 为 1，系统行为不符合 ISO 标准</p>
3	NoTxSOF	设置为 1 时，发射数据不产生 SOF
2	NoTxEOF	设置为 1 时，发射数据不产生 EOF
1-0	TxEGT	<p>定义字符间保护时间（EGT）的长度</p> <p>00 0bit</p> <p>01 1bit</p>

		10 2bit
		11 3bit

### 7.3.16 SerialSpeedReg

串行 UART 接口的速率设置。

**表 7-60 SerialSpeedReg 地址：1Fh 复位值：EBh**

	7	6	5	4	3	2	1	0
	BR_T0			BR_T1				
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-61 SerialSpeedReg 位描述**

位	符号	功能
7-5	BR_T0	调整传输速率的因子 BR_T0, 详见 8.3.2
4-0	BR_T1	调整传输速率的因子 BR_T0, 详见 8.3.2

## 7.4 PAGE2: 配置

### 7.4.1 PageReg

**表 7-62 PageReg 地址：20h 复位值：00h**

	7	6	5	4	3	2	1	0
	UsePage Select	Regbank Select	RegSelect				PageSelect	
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-63 PageReg 位描述**

位	符号	功能
7	UsePageSelect	设置为 1 时, PageSelect 的值被视为寄存器地址 A5 和 A4。寄存器地址的低位则分别由地址引脚和内部地址锁存决定; 设置为 0 时, 寄存器地址完全由内部地址锁存所决定。地址引脚的描述见 9.1

		节
6	RegbankSelect	设置为 1 时，可以读写 0Fh 寄存器组
5-2	RegSelect	0000: 读写 A 组寄存器; 0001: 读写 B 组寄存器; ... 1111: 读写 P 组寄存器
1-0	PageSelect	PageSelect 的值只有在 UsePageSelect 为 1 时才有效，此时用于指定寄存器页（即寄存器地址 A5 和 A4）

### 7.4.2/3 CRCResultReg

显示 CRC 计算结果的实际最高字节和最低字节。

注意 CRC 结果分开存储在两组 8bits 寄存器当中；若置位 ModeReg 当中 MSBFirst 位，字节中比特顺序将颠倒，而字节顺序不变。

**表 7-64 CRCResultReg 地址: 21h 复位值: FFh**

	7	6	5	4	3	2	1	0
	CRCResultMSB							
访问权限	r	r	r	r	r	r	r	r

**表 6-65 CRCResultReg 位描述**

位	符号	功能
7: 0	CRCResultMSB	CRCResultReg 中最高字节的实际值。仅在 Status1Reg 中的 CRCReady 为 1 时有效

**表 7-66 CRCResultReg 地址: 22h 复位值: FFh**

	7	6	5	4	3	2	1	0
	CRCResultLSB							
访问权限	r	r	r	r	r	r	r	r

**表 7-67 CRCResultReg 位描述**

位	符号	功能
---	----	----



7: 0	CRCResultLSB	CRCResultReg 中最低字节的实际值。仅在 Status1Reg 中的 CRCReady 为 1 时有效
------	--------------	--

## 7.4.4 GsNOffReg

天线驱动关闭时天线驱动管脚 TX1 和 TX2 的电导系数设置。

**表 7-68 GsNOffReg 地址: 23h 复位值: 88h**

	7	6	5	4	3	2	1	0
	CWGsNOff				ModGsNOff			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-69 GsNOffReg 位描述**

位	符号	功能
7-4	CWGsNOff	用于负载调制，在不调制时，定义输出的 N 驱动的电导值 注意：电导值是二进制加权的；软掉电模式下 CWGsNOff 的最高位必须为 1； 仅在天线驱动关闭时有效，否则将使用 GsNOnReg 中的 CWGsNOn 值
3-0	ModGsNOff	用于负载调制，在有调制时，定义输出的 N 驱动的电导值，可以用于调整调制系数 注意：电导值是二进制加权的；软掉电模式下 CWGsNOff 的最高位必须为 1； 仅在天线驱动关闭时有效，否则将使用 GsNOnReg 中的 ModGsNOn 值

## 7.4.5 ModWidthReg

调制宽度的设置。

**表 7-70 ModWidthReg 地址: 24h 复位值: 26h**

	7	6	5	4	3	2	1	0
	ModWidth							
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-71 ModWidthReg 位描述**

位	符号	功能
7-0	ModWidth	Si523 作为 ISO 14443A 读卡器时，定义 Miller 调制的脉冲宽度为 (ModWidth + 1/fc) 的倍数，最大可达半个比特持续时间，其计算如下式：  低电平时间：#clocksLOW = (ModWidth modulo 8) + 1  高电平时间：#clocksHIGH = 16 - #clocksLOW.

## 7.4.6 RFU

保留为将来使用。

## 7.4.7 RFCfgReg

接收机增益和射频场检测器的灵敏度配置。

**表 7-72 RFCfgReg 地址：26h 复位值：48h**

	7	6: 3	2	1	0
	RFU	RxGain	RFU		
访问权限	-	r/w	-		

**表 7-73 RFCfgReg 位描述**

位	符号	功能	
7	RFU	-	
6-3	RxGain	定义接收机电压增益因子	
		设置	增益
		000	18dB
		001	23dB
		010	18dB
		011	23dB
		100	33dB
		101	38dB
	110	43dB	

		111	48dB
2-0	RFU	-	

### 7.4.8 GsNOnReg

天线驱动打开时天线驱动管脚 TX1 和 TX2 的电导系数设置。

**表 7-74 GsNOnReg 地址：27h 复位值：88h**

	7	6	5	4	3	2	1	0
	CWGsNOn				ModGsNOn			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-75 GsNOnReg 位描述**

位	符号	功能
7-4	CWGsNOn	在不调制时，定义输出的 N 驱动的电导值；可以用于调整输出功率，从而调整电流和工作距离  注意：电导值是二进制加权的；软掉电模式下 CWGsNOn 的最高位必须为 1；仅在天线驱动打开时有效，否则将使用 GsNOffReg 中的 CWGsNOff 值
3-0	ModGsNOn	在有调制时，定义输出的 N 驱动的电导值，用于调整调制系数  注意：电导值是二进制加权的；软掉电模式下 CWGsNOn 的最高位必须为 1；仅在天线驱动打开时有效，否则将使用 GsNOffReg 中的 ModGsNOff 值

### 7.4.9 CWGsPReg

不调制时 P 驱动的电导系数设置。

**表 7-76 CWGsPReg 地址：28h 复位值：20h**

	7	6	5	4	3	2	1	0
	RFU	RFU	CWGsP					
访问权限	-	-	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-77 CWGsPReg 位描述**

位	符号	功能
7-6	-	保留为将来使用
5-0	CWGsP	在不调制时，定义输出的 P 驱动的电导值，可以用于调整输出功率，从而调整电流和工作距离 <i>注意：电导值是二进制加权的；软掉电模式下 CWGsP 的最高位必须为 1</i>

## 7.4.10 ModGsPReg

有调制时 P 驱动的电导系数设置。

**表 7-78 ModGsPReg 地址：29h 复位值：20h**

	7	6	5	4	3	2	1	0
	RFU	RFU	ModGsP					
访问权限	-	-	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-79 ModGsPReg 位描述**

位	符号	功能
7-6	RFU	保留为将来使用
5-0	ModGsP	在有调制时，定义输出的 P 驱动的电导值，可以用于调整调制系数 <i>注意：电导值是二进制加权的；软掉电模式下 CWGsP 的最高位必须为 1</i> <i>注意如果 Force100ASK 为 1，ModGsP 的值无效</i>

## 7.4.11/12 TMode Register, TPrescaler Register

定时器设置。

注意预分频器的值分开存储在两组 8bits 寄存器中。

**表 7-80 TMode Register 地址：2Ah 复位值：00h**

	7	6	5	4	3	2	1	0
	TAuto	TGated		TAuto Restart	TPrescaler_Hi			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-81 TMode Register 位描述**

位	符号	功能								
7	TAuto	<p>设置为 1 时，在任何通信模式下发射完数据后自动启动定时器；或在 InitialRFOn 为 1 且 RF 场打开后自动启动定时器</p> <p>如果 RxModeReg 中的 RxMultiple 为 0，在 ISO 14443B 106kb/s 模式下定时器在第 5 个比特后停止（1 个起始位，4 个数据位）；其他通信模式下定时器在第 4 个比特后停止；</p> <p>如果 RxMultiple 为 1，定时器不会自动停止，需要通过置位 ControlReg 中的 TStopNow 位来终止定时器。</p> <p>TAuto 设置为 0 时表示定时器不受通信协议约束</p>								
6-5	TGated	<p>内部定时器工作在门控模式</p> <p>注意在门控模式下，定时器工作时 TRunning=1；TGated 不影响门控信号</p>								
		<table border="1"> <thead> <tr> <th>设置</th> <th>描述</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>非门控模式</td> </tr> <tr> <td>01</td> <td>MFIN 作门控信号</td> </tr> <tr> <td>10</td> <td>AUX1 作门控信号</td> </tr> <tr> <td>11</td> <td>A3 作门控信号</td> </tr> </tbody> </table>	设置	描述	00	非门控模式	01	MFIN 作门控信号	10	AUX1 作门控信号
设置	描述									
00	非门控模式									
01	MFIN 作门控信号									
10	AUX1 作门控信号									
11	A3 作门控信号									
4	TAutoRestart	<p>设置为 1 时，定时器自动重新从 TReloadValue 向下计数；</p> <p>设置为 0 时，定时器向下计数，当递减到 0 时，产生定时中断 TimerIRQ = 1</p>								
3-0	TPrescaler_Hi	<p>TPrescaler 的高 4 位</p> <p>如果 DemodReg 中的 TPrescalEven 位为 0，fTimer 按照下式计算：</p> $fTimer = 13.56MHz / (2 * TPreScaler + 1)$ <p>其中 TPreScaler = [TPrescaler_Hi:TPrescaler_Lo]，表示完整的 12bits TPrescaler 值；TPrescalEven 默认为 0，当 TPrescalEven 设置为 1 时：</p> $fTimer = 13.56MHz / (2 * TPreScaler + 2)$								

**表 7-82 TPrescaler Register 地址：2Bh 复位值：00h**

	7	6	5	4	3	2	1	0
	TPrescaler_Lo							
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-83 TPrescaler Register 位描述**

位	符号	功能
---	----	----

7-0	TPrescaler_Lo	<p>TPrescaler 的低 8 位</p> <p>如果 DemodReg 中的 TPrescalEven 位为 0，fTimer 按照下式计算：</p> $fTimer = 13.56MHz / (2 * TPreScaler + 1)$ <p>其中 TPreScaler = [TPrescaler_Hi:TPrescaler_Lo]，表示完整的 12bits TPrescaler 值；TPrescalEven 默认为 0，当 TPrescalEven 设置为 1 时：</p> $fTimer = 13.56MHz / (2 * TPreScaler + 2)$
-----	---------------	---

### 7.4.13/14 TReloadReg

16bits 定时器重装值。

注意重装值分开存储在两组 8bits 寄存器当中。

**表 7-84 TReloadReg (高位) 地址: 2Ch 复位值: 00h**

	7	6	5	4	3	2	1	0
	TReloadVal_Hi							
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-85 TReloadReg 位描述**

位	符号	功能
7-0	TReloadVal_Hi	<p>TReloadReg 的高 8 位</p> <p>启动定时器时，定时器会载入 TReloadVal 值；TReloadVal 值改变后，在下次启动定时器时生效</p>

**表 7-86 TReloadReg (低位) 地址: 2Dh 复位值: 00h**

	7	6	5	4	3	2	1	0
	TReloadVal_Lo							
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-87 TReloadReg 位描述**

位	符号	功能
7-0	TReloadVal_Lo	<p>TReloadReg 的低 8 位</p> <p>启动定时器时，定时器会载入 TReloadVal 值；TReloadVal 值改变后，在下次启动定时器时生效</p>

## 7.4.15/16 TCounterValReg

定时器的当前值。

注意计数值分开存储在两组 8bits 寄存器中。

**表 7-88 TCounterValReg (高位) 地址: 2Eh 复位值: xxh, xxxxxxxxb**

	7	6	5	4	3	2	1	0
	TcntVal_Hi							
访问权限	r	r	r	r	r	r	r	r

**表 7-89 TCounterValReg 位描述**

位	符号	功能
7-0	TcntVal_Hi	定时器的当前值 TcntVal 的高 8 位

**表 7-90 TCounterValReg (低位) 地址: 2Fh 复位值: xxh, xxxxxxxxb**

	7	6	5	4	3	2	1	0
	TcntVal_Lo							
访问权限	r	r	r	r	r	r	r	r

**表 7-91 TCounterValReg 位描述**

位	符号	功能
7-0	TcntVal_Lo	定时器的当前值 TcntVal 的低 8 位

## 7.5 PAGE3: 测试

### 7.5.1 PageReg

**表 7-92 PageReg 地址: 30h 复位值: 00h**

	7	6	5	4	3	2	1	0
	UsePage	Regbank	RegSelect				PageSelect	
	Select	Select						

访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
------	-----	-----	-----	-----	-----	-----	-----	-----

**表 7-93 PageReg 位描述**

位	符号	功能
7	UsePageSelect	设置为 1 时，PageSelect 的值被视为寄存器地址 A5 和 A4。寄存器地址的低位则分别由地址引脚和内部地址锁存决定； 设置为 0 时，寄存器地址完全由内部地址锁存所决定。地址引脚的描述见 9.1 节
6	RegbankSelect	设置为 1 时，可以读写 0Fh 寄存器组
5-2	RegSelect	0000：读写 A 组寄存器； 0001：读写 B 组寄存器； ... 1111：读写 P 组寄存器
1-0	PageSelect	PageSelect 的值只有在 UsePageSelect 为 1 时才有效，此时用于指定寄存器页（即寄存器地址 A5 和 A4）

## 7.5.2 TestSel1Reg

通用测试信号配置。

**表 7-94 CommTest1Reg 地址：31h 复位值：00h**

	7	6	5	4	3	2	1	0
	RFU	RFU	RFU	RFU	RFU	TestSel1Reg		
访问权限	-	-	-	-	-	r/w	r/w	r/w

**表 7-95 CommTest1Reg 位描述**

位	符号	功能
7-3	RFU	保留为将来使用
2-0	TestSel1Reg	从测试总线选择 TestBus 位，以传播到 MFOUT



## 7.5.3 TestSel2Reg

通用测试信号配置以及 PRBS 控制。

**表 7-96 TestSel2Reg 地址：32h 复位值：00h**

	7	6	5	4	3	2	1	0
	TstBusFlip	PRBS9	PRBS15	TstBusSel				
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-97 TestSel2Reg 位描述**

位	符号	功能
7	TstBusFlip	设置为 1 时，测试总线按如下顺序映射到并行端口： D4, D3, D2, D6, D5, D0, D1
6	PRBS9	根据 ITU-TO150 来启动和使能 PRBS9 序列 注意所有与发射数据相关的寄存器都要按照 PRBS9 模式来配置；由 send 命令来启动指定数据序列的发射
5	PRBS15	根据 ITU-TO150 来启动和使能 PRBS15 序列 注意所有与发射数据相关的寄存器都要按照 PRBS15 模式来配置；由 send 命令来启动指定数据序列的发射
4-0	TstBusSel	选择测试总线

## 7.5.4 TestPinEnReg

使能 8bits 并行总线的管脚输出驱动。

**表 7-98 TestPinEnReg 地址：33h 复位值：80h**

	7	6	5	4	3	2	1	0
	RS232 LineEn	TestPinEn						
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-99 TestPinEnReg 位描述**

位	符号	功能
7	RS232LineEn	设置为 0 时，禁用串行 UART 的 MX 和 DTRQ 线
6-0	TestPinEn	使能 8bits 并行接口的管脚输出驱动 例如：将第 0 位设置为 1 表示使能 D0，将第 5 位设置为 1 表示使能 D5； 注意仅在使用串行接口时有效，如果使用 SPI 接口，或者使用串行 UART 接口且 RS232LineEn=1，则只能使用 D0-D4

## 7.5.5 TestPinValueReg

当 7bits 并行端口用作 I/O 口时，定义端口值。

**表 7-100 TestPinValueReg 地址：34h 复位值：00h**

	7	6	5	4	3	2	1	0
	UseIO	TestPinValue						
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-101 TestPinValueReg 位描述**

位	符号	功能
7	UseIO	设置为 1 时，在使用串行接口的情况下，使能 7bits 并行端口的 I/O 功能，其输入/输出行为由 TestPinEnReg 中的 TestPinEn 来定义，输出值由 TestPinVal 定义 注意如果 SAMC1kD1 设置为 1，则 D1 不能做 I/O 口使用
6-0	TestPinValue	定义 7bits 并行端口用作 I/O 时的值。每个输出位必须由 TestPinEnReg 中的 TestPinEn 来使能 注意如果 UseIO 为 1，读 TestPinValue 得到的是管脚 D6-D0 的实际值；如果 UseIO 清 0，则读回 TestPinValueReg 的值

## 7.5.6 TestBusReg

内部测试总线的状态。

**表 7-102 TestBusReg 地址：35h 复位值：xxh, xxxxxxxxh**

	7	6	5	4	3	2	1	0
	TestBus							
访问权限	r	r	r	r	r	r	r	r

**表 7-103 TestBusReg 位描述**

位	符号	功能
7-0	TestBus	显示内部测试总线的状态，测试总线由 TestSel2Reg 选择

## 7.5.7 AutoTestReg

数字自测试相关设置。

**表 7-104 AutoTestReg 地址：36h 复位值：40h**

	7	6	5	4	3	2	1	0
	0	AmpRcv	EOFSOF Adjust	-	SelfTest			
访问权限	RFT	r/w	r/w	RFU	r/w	r/w	r/w	r/w

**表 7-105 AutoTestReg 位描述**

位	符号	功能
7	-	保留用于产品测试
6	AmpRcv	<p>设置为 1 时，接收机内部信号处理过程是非线性的，由此可以增加 106kb/s 通信模式下的工作距离</p> <p>注意由于信号处理的非线性，RxThresholdReg 中 MinLevel 和 CollLevel 的影响也是非线性的</p>
5	EOFSOFAdjust	<p>如果设置为 0 且 EOFSOFWidth 为 1，SOF 和 EOF 取 ISO 14443B 协议中定义的最大长度；</p> <p>如果设置为 0 且 EOFSOFWidth 为 0，SOF 和 EOF 取 ISO 14443B 协议中定义的最小长度；</p> <p>如果设置为 1 且 EOFSOFWidth 为 1，则有：</p> <p>SOF 低电平时间：<math>SOF_{low} = (11et_u - 8cycles) / fc</math></p> <p>SOF 高电平时间：<math>SOF_{high} = (2et_u + 8cycles) / fc</math></p> <p>EOF 低电平时间：<math>EOF_{low} = (11et_u - 8cycles) / fc</math>，</p>

4	-	保留为将来使用
3-0	SelfTest	使能数字自测试。自测可以由 CommandReg 写 SelfTest 命令来开启，通过写 1001 使能；注意在默认工作模式下通过写 0000 禁止自测试

## 7.5.8 VersionReg

版本信息。

**表 7-106 VersionReg 地址：37h 复位值：xxh, xxxxxxxb**

	7	6	5	4	3	2	1	0
	Version							
访问权限	r	r	r	r	r	r	r	r

**表 7-107 VersionReg 位描述**

位	符号	功能
7-0	Version	B2h

## 7.5.9 AnalogTestReg

AUX1 和 AUX2 管脚设置。

**表 7-108 AnalogTestReg 地址：38h 复位值：00h**

	7	6	5	4	3	2	1	0
	AnalogSelAux1				AnalogSelAux2			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-109 AnalogTestReg 位描述**

位	符号	功能	
7-4	AnalogSelAux1	控制 AUX 管脚	
3-0	AnalogSelAux2	设置	描述
		0000	三态
		0001	TestDAC1 (AUX1) 的输出, TestDAC2 (AUX2) 的输出

		0010	Testsignal Corr1 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0011	Testsignal Corr2 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0100	Testsignal MinLevel <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0101	ADC I 通道 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0110	ADC Q 通道 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		0111	ADC I, Q 通道结合 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		1000	产品测试 <i>注意是电流输出, AUX 推荐使用 1kΩ 的下拉电阻</i>
		1001	SAM 时钟 (13.56MHz)
		1010	高电平
		1011	低电平
		1100	TxActive 106kbits/s 时: 起始位、数据位、奇偶校验位、CRC 时为高; 212/424kbits/s 时: 前导码、同步字节、数据和 CRC 时为高
		1101	RxActive 106kbits/s 时: 数据位、奇偶校验位、CRC 时为高; 212/424kbits/s 时: 数据和 CRC 时为高 副载波检测
		1110	106kbits/s 时: 不支持; 212/424kbits/s 时: 前导码最后部分、同步字节、数据、CRC 时为高
		1111	由 CommTest1Reg 中的 TestSel1Reg 位定义测试总线

## 7.5.10 TestDAC1Reg

TestDAC1 的测试值。

**表 7-110 TestDAC1Reg 地址: 39h 复位值: xxh, 00xxxxxb**

	7	6	5	4	3	2	1	0
	0	0	TestDAC1					
访问权限	RFT	RFU	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-111 TestDAC1Reg 位描述**

位	符号	功能
7	-	保留用于产品测试
6	-	保留为将来使用
5-0	TestDAC1	定义 TestDAC1 的测试值。通过将 AnalogTestReg 中的 AnalogSelAux1 设置为 0001, 可使 DAC1 的输出转换到 AUX1

### 7.5.11 TestDAC2Reg

TestDAC2 的测试值。

**表 7-112 TestDAC2Reg 地址: 3Ah 复位值: xxh, 00xxxxxb**

	7	6	5	4	3	2	1	0
	0	0	TestDAC2					
访问权限	RFU	RFU	r/w	r/w	r/w	r/w	r/w	r/w

**表 7-113 TestDAC2Reg 位描述**

位	符号	功能
7-6	-	保留为将来使用
5-0	TestDAC2	定义 TestDAC2 的测试值。通过将 AnalogTestReg 中的 AnalogSelAux2 设置为 0001, 可使 DAC2 的输出转换到 AUX2

### 7.5.12 TestADCReg

ADC I 通道和 Q 通道的实际值。

**表 7-114 TestADCReg 地址: 3Bh 复位值: xxh, xxxxxxxb**

	7	6	5	4	3	2	1	0
--	---	---	---	---	---	---	---	---

	ADC_I				ADC_Q			
访问权限	r	r	r	r	r	r	r	r

**表 7-115 TestADCReg 位描述**

位	符号	功能
7-4	ADC_I	ADC I 通道的实际值
3-0	ADC_Q	ADC Q 通道的实际值

### 7.5.13 RFTReg

保留为将来使用。

## 8 数字接口

### 8.1 微控制器接口自动检测

Si523 支持可直接相连的各种微控制器接口类型,如 SPI, I2C 和串行 UART。在上电或硬复位后, Si523 复位自身的接口并自动检测当前主机的接口类型。因为每种接口有其固定的管脚连接, Si523 可以通过检测这些管脚的逻辑电平从而分辨出复位后的接口类型。下表列出了不同的连接配置:

表 8-1 不同接口类型的检测

引脚	接口类型		
	UART (输入)	SPI (输出)	I2C (输入/输出)
SDA	RX	NSS	SDA
I2C	0	0	1
EA	0	1	EA
D7	TX	MISO	SCL
D6	MX	MOSI	ADR_0
D5	DTRQ	SCK	ADR_1
D4	-	-	ADR_2
D3	-	-	ADR_3
D2	-	-	ADR_4
D1	-	-	ADR_5

### 8.2 SPI

Si523 支持串行外围接口 (兼容 SPI) 来达到与主机的高速通信, 数据速率最高可达 10Mbps/s。当与主机通信时, Si523 作为从机, 从主机处接受寄存器设置, 与主机交互射频接口通信相关的数据。

兼容 SPI 的接口同样可以在 Si523 和微控制器之间建立高速串行通信, 接口的处理与 SPI 标准相同。



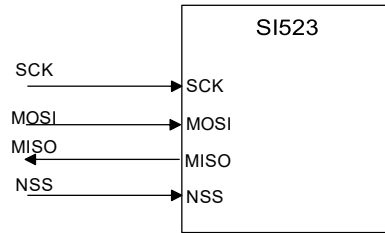


图 8-1 SPI 接口

Si523 在 SPI 通信中作从机，SPI 的时钟信号 SCK 由主机产生，数据通过 MOSI 线从主机传输到从机，通过 MISO 线从从机传输到主机。两条线上传输数据字节时都是高位在先，且数据在时钟上升沿时需要保持稳定，在下降沿时可以改变。

### 8.2.1 SPI 读数据

用 SPI 读数据需要如下表的字节顺序，注意是先发送最高位。其中第一个字节定义了模式和地址：

表 8-2 MOSI 和 MISO 字节顺序

线名	字节 0	字节 1	字节 2	...	字节 n	字节 n+1
MOSI	地址 0	地址 1	地址 2	...	地址 n	00
MISO	X*	数据 0	数据 1	...	数据 n-1	数据 n

注：X=任意值；先传输 MSB。

### 8.2.2 SPI 写数据

用 SPI 向 Si523 写数据需要如下表的字节顺序，其中第一个字节定义了模式和地址：

表 8-3 MOSI 和 MISO 字节顺序

线名	字节 0	字节 1	字节 2	...	字节 n	字节 n+1
MOSI	地址 0	数据 0	数据 1	...	数据 n-1	数据 n
MISO	X*	X*	X*	...	X*	X*

注：X=任意值；先传输 MSB。

### 8.2.3 SPI 地址字节

地址字节需要满足如下表的形式：

表 8-4 地址字节 0 寄存器；MOSI

7 (MSB)	6: 1	0 (LSB)
1=读/0=写	地址	0

第一个字节的最高位定义了所使用的模式，如果是从 Si523 读数据则最高位为 1；如果是向 Si523 写数据则最高位为 0。6-1 位给出地址，最低位设置为 0。

## 8.3 UART

### 8.3.1 与主机的连接

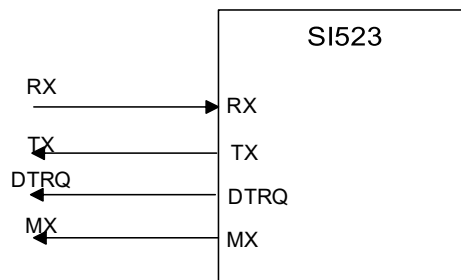


图 8-2 UART 接口

注意：DTRQ 和 MX 信号可以通过清除 TestPinEnReg 寄存器的 RS232LineEn 位来屏蔽。

### 8.3.2 可选的传输速率

Si523 内部 UART 接口与 RS232 串行接口兼容，默认的传输速率是 8.6kBd，由主机写 SeriaSpeedReg 寄存器可以改变传输速率，其中 BR\_T0[2:0]和 BR\_T1[4:0]与速率设置有关，如下表所示：

表 8-5 BR\_T0 和 BR\_T1 设置

BR_Tn	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7
BR_T0	1	1	2	4	8	16	32	64
BR_T1	1-32	33-64	33-64	33-64	33-64	33-64	33-64	33-64

例：不同传输速率及其相关寄存器设置如下表。

**表 8-6 可选的 UART 传输速率**

传输速率 (kBd)	SeriaSpeedReg 寄存器值		速率精确度 (%) *
	十进制表示	十六进制表示	
7.2	250	FAh	-0.25
8.6	235	EBh	0.32
14.4	218	DAh	-0.25
19.2	203	CBh	0.32
38.4	171	ABh	0.32
57.6	154	9Ah	-0.25
115.2	122	7Ah	-0.25
128	116	74h	-0.06
230.4	90	5Ah	-0.25
460.8	58	3Ah	-0.25
921.6	28	1Ch	1.45
1228.8	21	15h	0.32

注\*：上述传输速率实际误差均小于 1.5%。

表中可选传输速率是根据如下公式所计算：

BR\_T0[2:0]=0 时：

$$transforspeed = \frac{27.12 \times 10^6}{(BR\_T0 + 1)}$$

BR\_T0[2:0]>0 时：

$$transforspeed = \frac{27.12 \times 10^6}{\frac{(BR\_T1 + 33)}{2^{(BR\_T0 - 1)}}}$$

### 8.3.3 UART 帧格式

**表 8-7 UART 帧**

Bit	长度	值
起始位	1bit	0
数据位	8bits	数据

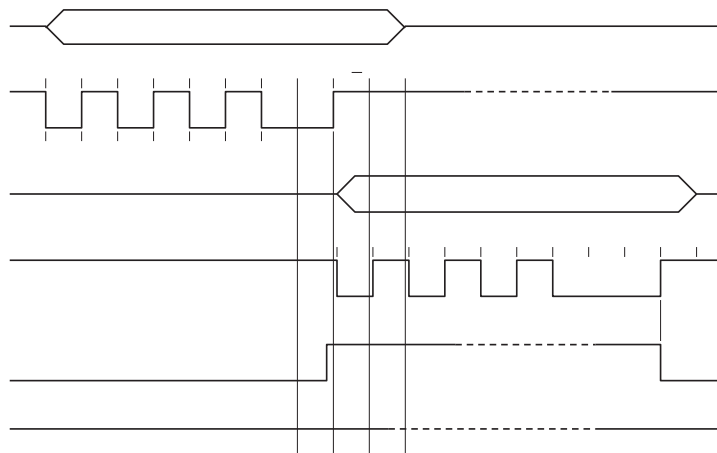
停止位	1bit	1
-----	------	---

注意：对于数据和地址字节，要先传输最低位，发送数据时不加奇偶校验位。

如果要使用 UART 接口读数据，需使用如下表顺序。由发送的第一个字节定义所用模式及地址。

**表 8-8 读数据字节顺序**

引脚	字节 0	字节 1
RX	地址	-
TX	-	数据 0



**图 8-3 UART 读数据时序图**

如果要使用 UART 接口向 Si523 写数据，则需要使用如下表的结构。由发送的第一个字节定义所用模式及地址。

**表 8-9 写数据字节顺序**

引脚	字节 0	字节 1
RX	地址 0	数据 0
TX	-	地址 0

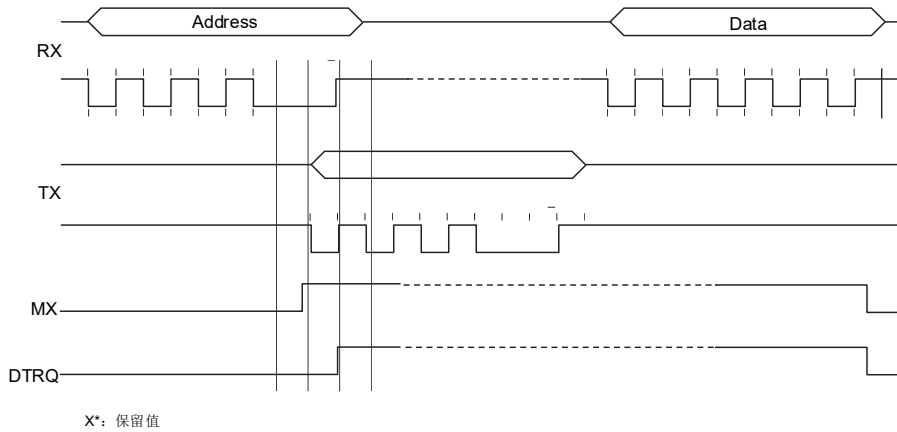


图 8-4 UART 写数据时序图

注意：引脚 RX 传输地址字节后，可以直接传输数字字节。

地址字节需要满足如下形式：

由第一个字节的最高位设置所用的模式，如果要从 Si523 读数据，则最高位设为 1；要向 Si523 写数据，则最高位设为 0。第六位保留为将来使用，5-0 位定义地址。

表 8-10 地址字节 0 寄存器；MOSI

7 (MSB)	6	5: 1	0 (LSB)
1=读/0=写	保留	地址	

## 8.4 I<sup>2</sup>C

I2C 总线是一种低功耗、低管脚占用的串行总线接口，其实现符合 I2C-bus interface specification, rev. 2.1, January 2000 规定。该接口只能工作在 Slave 模式，因此此时 Si523 不产生时钟，也不进行访问仲裁。

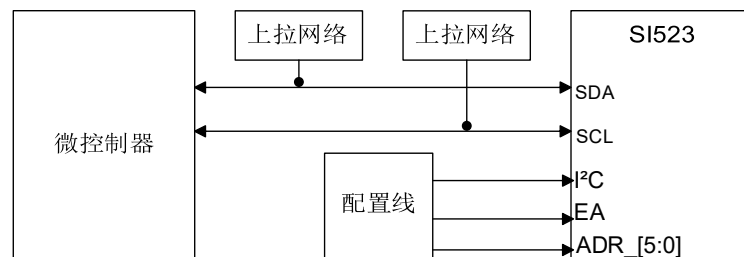


图 8-5 I<sup>2</sup>C 总线接口

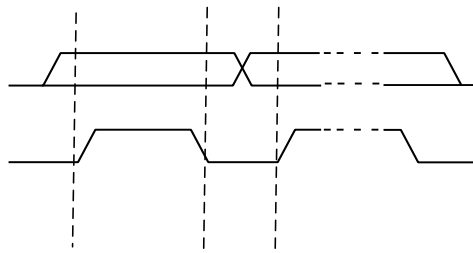
Si523 可以作为标准模式、快速模式和高速模式下的从机接收端或者从机发射端。

SDA 是接电流源或上拉电阻的正电源的双向数据线。在无数据传输时，SDA 与 SCL 线均为高电平。Si523 有三态输出模拟用于实现线与功能。标准模式下 I<sup>2</sup>C 总线上的数据传输速率高达 100kBd；快速模式下高达 400kBd；高速模式下高达 3.4Mbits/s。

如果选择 I<sup>2</sup>C 总线接口，SCL 和 SDA 线上的毛刺抑制符合 I<sup>2</sup>C 总线接口规则。

#### 8.4.1 数据有效性

SDA 线上的数据在时钟为高时需要保持稳定；仅当 SCL 上时钟信号为低时，数据线上的状态才能改变。

图 8-6 I<sup>2</sup>C 总线比特传输

#### 8.4.2 起始和停止条件

为管理 I<sup>2</sup>C 总线上的数据传输，本节定义了 START (S) 与 STOP (P) 条件：

- (1) 起始条件 START：当 SCL 为高时，SDA 线上由高变低的跳变。
- (2) 停止条件 STOP：当 SCL 为高时，SDA 线上由低变高的跳变。

起始和停止条件由 I<sup>2</sup>C 主机产生，产生起始条件后认为主机处于繁忙状态；停止条件结束后主机回到空闲状态。

如果在起始条件后，产生重复起始条件 (Sr) 而非停止条件，则认为总线仍处于繁忙状态。起始 (S) 和重复起始 (Sr) 条件的功能完全相同，因此都用符号 S 表示。

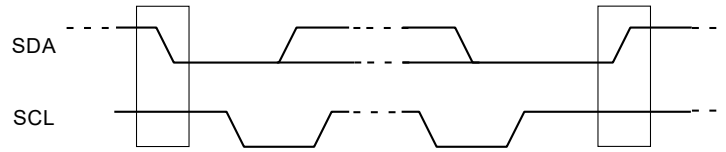


图 8-7 起始和停止条件

### 8.4.3 字节格式

每个字节后需要跟一个应答位，传输字节时最高位在前；在一次数据传输当中，传输的字节数无限制但是必须满足读写周期格式。

### 8.4.4 应答

每个数据字节结束后会再传输一个应答位（Acknowledge），与应答相关的时钟脉冲由主机产生。在应答周期内，数据的发送方（主机或从机）将释放 SDA 线（高电平），接收方拉低 SDA 线使其在应答时钟脉冲为高时，SDA 保持在低电平。

主机可以通过产生停止条件来终止传输；也可以通过产生重复起始条件来开启一次新的传输。

主机接收端通过在最后一个字节不产生应答来告知从机发射端数据的结束；从机发射端释放数据线，从而使主机可以产生停止条件或重复起始条件。

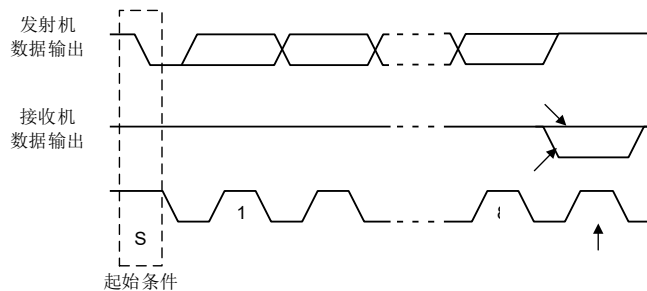


图 8-8 I2C 总线应答位

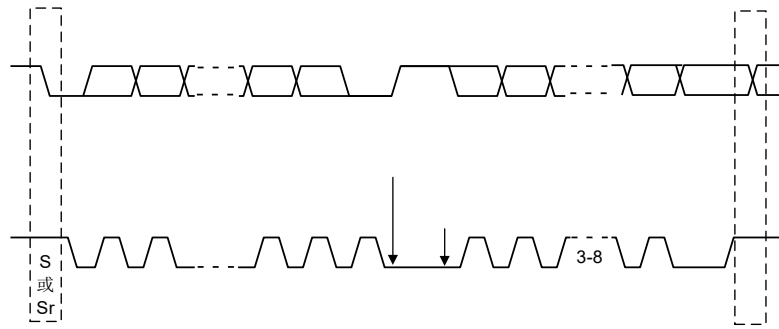


图 8-9 I2C 总线数据传输示意图

### 8.4.5 7 位寻址

I<sup>2</sup>C 寻址过程中，起始条件后的第一个字节用来决定主机选择哪一个从机进行通信。

I<sup>2</sup>C 总线规范中有多个地址保留，在配置设备时，设计者需确保不会与保留地址产生冲突。

I<sup>2</sup>C 总线地址规范与 EA 管脚的定义有关。在释放 NRSTPD 管脚或上电复位后，芯片立刻通过 EA 管脚来获得 I<sup>2</sup>C 总线的地址。如果 EA 为低电平，芯片总线地址的高 4 位设置为 0101b，从机地址的剩余 3 位 (ADR\_0, ADR\_1, ADR\_2) 可以由用户自由配置以防与其他 I<sup>2</sup>C 总线设备发生冲突；如果 EA 为高电平，ADR\_0-ADR\_5 完全由外部管脚来决定，而 ADR\_6 始终设置为 0。

两种模式下外部地址编码都在释放复位条件后立刻锁定，不考虑此后所用管脚产生的变化。通过外部连线，I<sup>2</sup>C 总线地址端口还可以用做测试信号的输出。

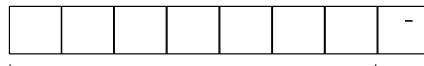


图 8-10 起始条件后的第一个字节

### 8.4.6 寄存器写访问

要通过 I<sup>2</sup>C 总线，由主机写 Si523 的特殊功能寄存器，需使用如下帧格式：



1. 由帧的第一个字节指定设备地址（遵循 I<sup>2</sup>C 总线规范）；
2. 由帧的第二个字节指示寄存器地址；其后是 n 个数据字节。

在一个数据帧中，所有数据字节要写入同一寄存器地址，实现 FIFO 的快速访问。读/写标志位（ $R/\overline{W}$ ）应清 0。

#### 8.4.7 寄存器读访问

要读 Si523 某个地址的特殊功能寄存器，主机必须遵循如下步骤：

- 1) 首先按下图的帧格式写入指定寄存器的地址；
- 2) 由帧的第一个字节指定设备地址（遵循 I<sup>2</sup>C 总线规范）；
- 3) 由帧的第二个字节指示寄存器地址，不加数据字节；
- 4) 读/写标志位为 0。

上述写访问后才开始读访问。主机发送 Si523 的设备地址，作为响应 Si523 将发回相应寄存器的内容。一帧中所有数据字节都从同一个寄存器地址读出，以此实现 FIFO 的快速访问或者寄存器的查询。

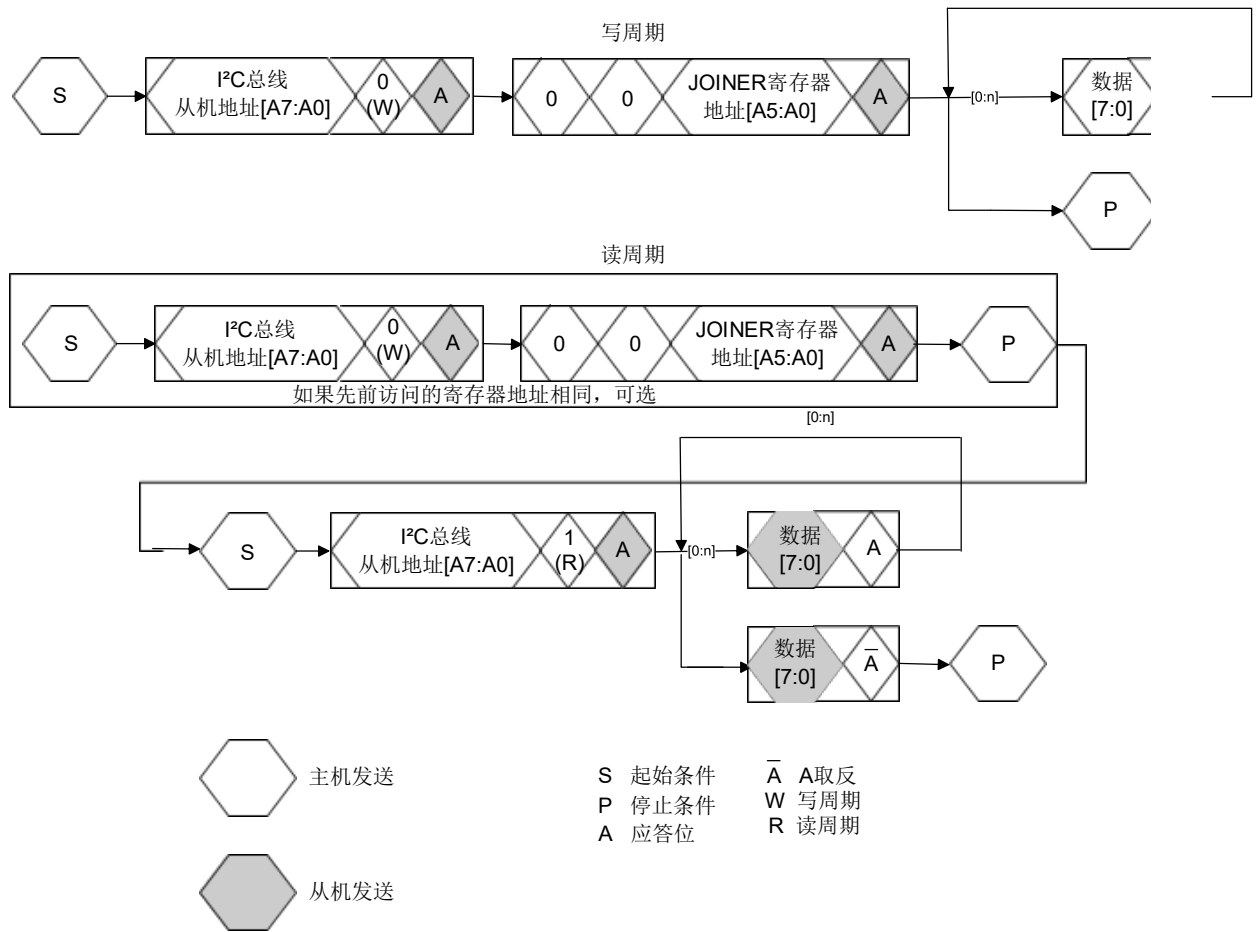


图 8-11 寄存器读写访问

### 8.4.8 高速模式

高速模式（HS mode）下，设备可以以高达 3.4Mbits/s 的数据速率进行信息的传输，同时为满足双向混合速率总线系统的要求，向下兼容快速和标准模式（F/S mode）。

### 8.4.9 高速传输

为实现高达 3.4Mbits/s 的数据速率，对 I<sup>2</sup>C 总线工作做出如下改进：

- 高速模式下设备的 SDA 和 SCL 输入具有毛刺抑制功能，加入了 Scmitt 触发器，使其与 F/S 模式相比有不同的时间常数；
- 高速模式下设备的 SDA 和 SCL 输出缓冲区具有下降沿斜率控制功能，使其与 F/S 模式相比有不同的下降时间。

### 8.4.10 高速模式下的串行数据传输格式

高速模式下串行数据的传输满足 I<sup>2</sup>C 总线标准模式的规范：

1. 起始条件 (S)
2. 8-bits 主机代码 (00001xxx, xxx 为任意值)
3. 应答位取反 ( $\bar{A}$ )

当高速模式开始时,主机发送重复起始条件与带读/写标志的 7-bit 从机地址,然后从被选中的 Si523 处接收到应答位 (A)。

下一个重复起始条件后,数据仍以高速模式进行传输,只有在停止条件后才切换回 F/S 模式。为降低主机的代码开销,主机可以通过重复起始条件来连接大量的高速模式传输。

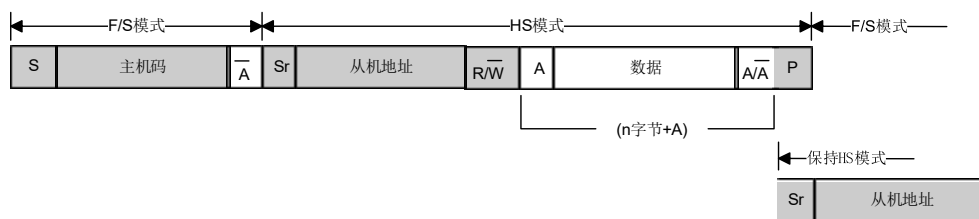


图 8-12 I2C 总线 HS 模式协议转换

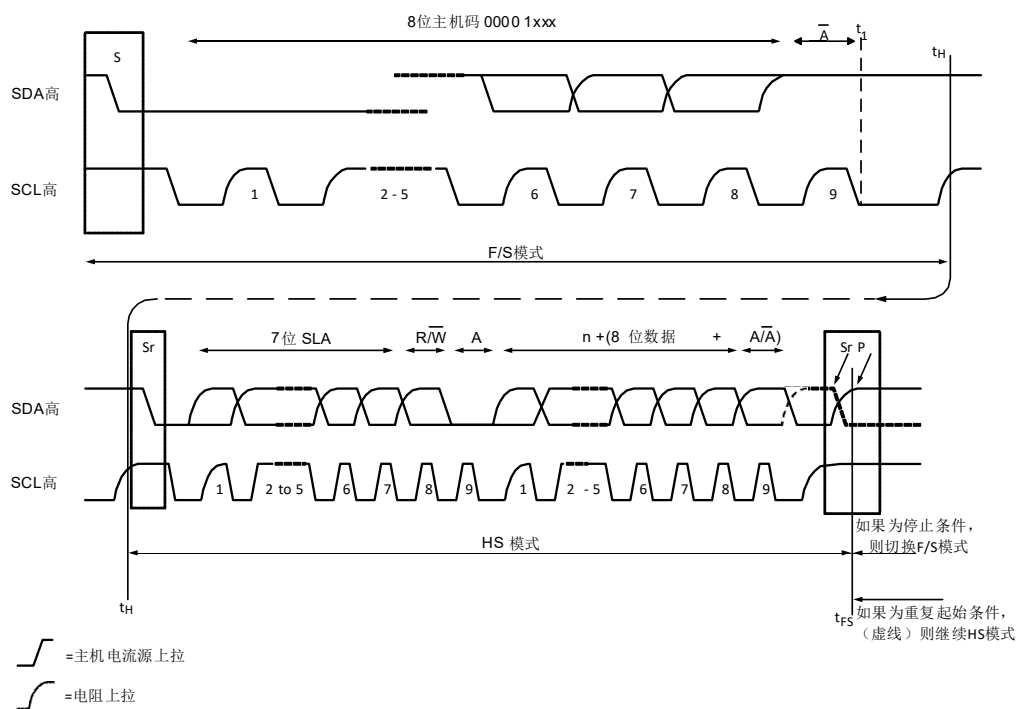


图 8-12 I2C 总线 HS 模式协议帧

#### 8.4.11 F/S 模式与 HS 模式间的转换

复位和初始化后，Si523 处于快速模式（因快速模式向下兼容标准模式，实际上称作 F/S 模式）。连接总线的 Si523 可以识别“S 00001xxxx A”序列并将内部电路设置从快速模式转换到高速模式。

Si523 将执行下述操作：

1. 将 SDA 和 SCL 输入滤波器按照毛刺抑制的要求设置为高速模式；
2. 调整 SDA 输出级的斜率控制。

如果将 Status2Reg 的 I<sup>2</sup>CForceHS 位设置为 1，在不与其他 I<sup>2</sup>C 总线设备通信的情况下，系统配置可以长期保持在高速模式下，此后无需再发主机代码。这部分内容未在总线规范中定义，必须在总线上没有连接其他设备时才能使用。此外，由于毛刺抑制减弱，总线上必须避免出现毛刺。

#### 8.4.12 F/S 模式下的 Si523

Si523 完全向下兼容 F/S 模式的 I<sup>2</sup>C 总线系统。因配置中未收到主机代码，设备会保持在 F/S 模式并以 F/S 模式的速率进行数据传输。

## 9 模拟接口与非接触式 UART

### 9.1 概述

集成的非接触式 UART 支持以高达 848kBd 的速率与外部主机进行通信，用以满足协议的帧和差错校验的要求。为调制和解调通信接口 MFIN 管脚和 MFOUT 管脚上的数据，芯片需要连接其他外围电路。

非接触式 UART 可以与主机协同处理通信协议的要求，包括面向比特或字节的帧，此外还支持基于各通信协议的错误检测，如奇偶校验和 CRC。

*注意：天线的尺寸、调谐和电源电压对芯片可达到的工作距离有较大影响。*

### 9.2 TX 驱动

TX1 和 TX2 管脚发送的信号是由包络调制后的 13.56MHz 载波信号。可以使用一些无源器件进行匹配和滤波，从而直接驱动天线。TX1 和 TX2 上的信号可以由 TxControlReg 配置。

调制系数可以通过调整驱动的阻抗来进行配置。P 驱动的阻抗可以由 CWGsPReg 和 ModGsPReg 配置；N 驱动的阻抗可以由 GsNReg 配置。调制系数还与天线的设计与调谐有关。

信息传输期间的数据速率和帧，以及天线驱动设置由 TxModeReg 和 TxSelReg 寄存器控制，用以满足不同模式和速率下的通信要求。

表 9-1 控制 TX1 管脚信号的寄存器设置

Tx1RFEn 位	Force 100ASK 位	InvTx1RF On 位	InvTx1RF Off 位	Envelope	TX1 管脚	GSPMos	GSNMos	备注
0	X*	X*	X*	X*	X*	CWGsNOff	CWGsNOff	RF 关闭
1	0	0	X*	0	RF	pMod	nMod	100%ASK： 管脚 TX1 下拉到逻辑 0，不受 InvTx1RFO
				1	RF	pCW	nCW	
	0	1	X*	0	RF	pMod	nMod	
				1	RF	pCW	nCW	
1	1	1	X*	0	0	pMod	nMod	

				1	RF_n	pCW	nCW	ff 位影响
--	--	--	--	---	------	-----	-----	--------

X\*: 任意值

表 9-2 控制 TX2 管脚信号的寄存器设置

Tx1RF En 位	Force 100ASK 位	Tx2CW 位	InvTx2R FOn 位	InvTx2R FOff 位	Envelope	TX2 管脚	GSPMos	GSNMos	备注		
0	X*	X*	X*	X*	X*	X*	CWGsNO ff	CWGsNO ff	RF 关闭		
1	0	0	0	X*	0	RF	pMod	nMod	-		
				X*	1	RF	pCW	nCW			
			1	X*	0	RF_n	pMod	nMod			
			X*	1	RF_n	pCW	nCW				
		1	0	X*	X*	RF	pCW	nCW		连续未调	
		1	X*	X*	RF_n	pCW	nCW	制载波电导			
		1	0	0	X*	0	0	pMod		nMod	100%ASK: 管脚 TX2 下拉到逻辑 0, 不受 InvTx2RFO n/InvTx2RF Off 位影响
					X*	1	RF	pCW		nCW	
	1			X*	0	0	pMod	nMod			
	X*			1	RF_n	pCW	nCW				
	1	0	0	X*	X*	RF	pCW	nCW	InvTx2RFO n/InvTx2RF Off 位影响		
			1	X*	X*	RF_n	pCW	nCW			

X\*: 任意值

表格中采用的缩写说明如下:

- RF: 13.56MHz 时钟, 由 27.12MHz 石英晶振二分频产生;
- RF\_n: 反相的 13.56MHz 时钟;
- GSPMos: PMOS 阵列的电导配置;
- GSNMos: NMOS 阵列的电导配置;
- pCW: 由 CWGsPReg 寄存器定义的, 发射连续载波信号时 PMOS 电导值;
- pMod: 由 ModGsPReg 寄存器定义的, 调制时的 PMOS 电导值;
- nCW: 由 GsNReg 寄存器 CWGsN[3:0]位定义的, 发射连续载波信号时 NMOS 电导值;

- nMod: 由 GsNReg 寄存器 ModGsN[3:0]位定义的, 调制时的 NMOS 电导值;

- X: 任意值。

注意: 如果只打开一个天线驱动, CWGsPReg、ModGsPReg 和 GsNReg 寄存器的值仍将同时用于两个驱动。

### 9.3 串行数据转换器

Si523 中实现了两个主要模块, 其中数字模块由状态机、编解码逻辑组成, 模拟模块则由调制器和天线驱动, 接收电路和放大器组成。两个模块之间的接口信号可以由 MFIN 和 MFOUT 管脚传输。MFIN 可以处理 424kbit 以上的数字 NFC 信号, MFOUT 可以与外部电路结合使用来产生 424kbit 以上速率 (也包括 106,212,424kbit) 的数字信号。此外, 在 Si523 与安全 IC 共同实现卡模拟功能时, MFOUT 和 MFIN 也能用于实现卡 SAM 模式的 S<sup>2</sup>C 接口。

此拓扑结构允许 Si523 的模拟模块连接到另一设备的数字模块。

串行数据的转换由 TxSelReg 和 RxSelReg 寄存器控制, 图示 TX1 和 TX2 上的串行数据转换。

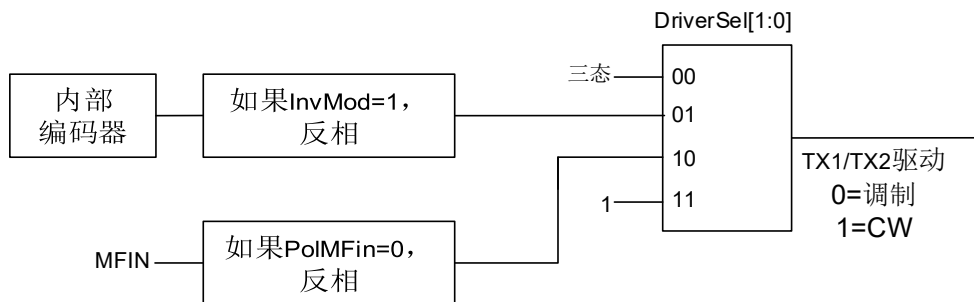


图 9-1 TX1 和 TX2 串行数据转换

### 9.4 CRC 协处理器

可配置的 CRC 协处理器参数如下:

- ◇ CRC 预设值: 可为 0000h, 6363h, A671h 或 FFFF h, 具体取决于 ModeReg 寄存器的 CRCPreset[1:0]设置;
- ◇ 16 位 CRC 多项式:  $x^{16}+x^{12}+x^5+1$ ;
- ◇ CRC 的计算结果由 CRCResultReg 寄存器指示, 此寄存器分为两组 8 位

寄存器，分别存储结果的高低字节；

- ◇ ModeReg 寄存器的 MSBfirst 位指示数据将首先从 MSB 开始载入。

表 9-3 CRC 协处理器参数

参数	说明
CRC 寄存器长度	16 位
CRC 算法	ISO/IEC 14443A 和 ITU-T 所规定的算法
CRC 预设值	ModeReg 寄存器的 CRCPreset[1:0]决定： 0000h, 6363h, A671h 或 FFFF h



## 10 FIFO

Si523 使用 8×64bits FIFO 缓冲器，为主机和 Si523 内部状态机之间的输入输出数据流提供缓冲，使得在处理小于 64 字节的数据流时无需考虑主从机通信的时间约束。

### 10.1 FIFO 存取

FIFO 输入输出总线与 FIFODataReg 相连，每写一次该寄存器，会向 FIFO 中存储 1 字节并将 FIFO 写指针加一；每读一次该寄存器，会取出 FIFO 读指针对应位置的内容并将读指针减一。写指针与读指针的距离可以通过读 FIFOLevelReg 得到。

当微控制器启动一个命令时，Si523 可以在命令执行期间根据命令要求存取 FIFO，只有一组缓冲器可以实现主从机间的输入输出，此时微控制器不能以其他方式访问 FIFO。

### 10.2 FIFO 控制

将 FIFOLevelReg 的 FlushBuffer 位置 1 可以重置 FIFO 的指针，与此同时 FIFOLevel[6:0]会置 0、ErrorReg 中的 BufferOvfl 位会被清除，此前存储在 FIFO 中字节不能再访问，但是可以存入其他 64 字节。

### 10.3 FIFO 状态信息

主机可以获得如下 FIFO 状态信息：

- 1) 存储在 FIFO 中的字节数：由 FIFOLevelReg 中的 FIFOLevel[6:0]可得
- 2) FIFO 上溢警告：由 Status1Reg 的 HiAlert 位可得；
- 3) FIFO 下溢警告：由 Status1Reg 的 LoAlert 位可得；
- 4) FIFO 溢出（已满但仍有字节写入）警告：由 ErrorReg 的 BufferOvfl 位可得。BufferOvfl 只能由设置 FIFOLevelReg 的 FlushBuffer 位来清 0。

Si523 在如下情况可以产生中断信号：

- (1) ComIEnReg 的 LoAlertIEn=1 时，当 Status1Reg 的 LoAlert 位变为 1 时激活管脚 IRQ；

---

(2) ComIEnReg 的 HiAlertIEn=1 时，当 Status1Reg 的 HiAlert 位变为 1 时激活管脚 IRQ。

如果 FIFO 中剩余的空间小于 WaterLevel，HiAlert 将置 1:

$$HiAlert = (64 - FIFOLength) \leq WaterLevel$$

如果 FIFO 中存储的字节少于 WaterLevel，LoAlert 将置 1:

$$LoAlert = FIFOLength \leq WaterLevel$$

## 11 中断请求系统

Si523 通过 Status1Reg 寄存器的 IRq 位（或者激活的 IRQ 管脚）来指示某些事件的发生，IRQ 管脚上信号可以对主机产生中断，为高效主机软件的实现提供中断处理能力。

### 11.1 中断源概览

下表列出了可用的中断位，对应的中断源及其激活条件。如 ComIRqReg 寄存器的 TimerIRq 中断位指示定时器单元产生的中断，当定时器从 1 减至 0 时置 1。

ComIRqReg 寄存器的 TxIRq 表示发射已经完成，如果芯片状态由发数变为传输帧结束模式，发射机将自动置位此中断位。CRC 处理器在处理完 FIFO 中的所有数据后（标志：CRCReady=1），将 DivIRqReg 寄存器的 CRCIRq 置 1。ComIRqReg 寄存器的 RxIRq 则表示检测到接收数据结束时的中断。ComIRqReg 寄存器的 IdleIRq 在当前命令完成且 CommandReg 中 Command[3:0]变为空闲值时置 1。

ComIRqReg 的 HiAlertIRq 在 Status1Reg 寄存器的 HiAlert 为 1 时置 1，即 FIFO 存储的内容已经达到 WaterLevel[5:0]规定值；ComIRqReg 的 LoAlertIRq 在 Status1Reg 寄存器的 LoAlert 为 1 时置 1，即 FIFO 存储的内容已经达到 WaterLevel[5:0]规定值。

ComIRqReg 寄存器的 ErrIRq 表示 UART 在发送接收期间检测到错误，当 ErrorReg 中任意位为 1 时置 1。

表 11-1 中断源

中断标志	中断源	触发条件
TimerIRq	定时单元	定时器从 1 变为 0
TxIRq	发射机	从发射数据状态转变为发射 EOF 时，发射机自动置位 TxIRq
CRCIRq	CRC 协处理器	CRC 协处理器处理完 FIFO 中的数据后（由 CRCReady=1 表示处理完毕）置位 CRCIRq
RxIRq	接收机	检测到接收帧的 EOF 后产生
IdleIRq	ComIRqReg	命令执行完毕，且 CommandReg 中 Command[3:0]变为空闲时产生
HiAlertIRq	FIFO	FIFO 达 WaterLevel[5:0]，且 HiAlert 置位时产生

LoAlertIRq	FIFO	FIFO 达 WaterLevel[5:0], 且 LoAlert 置位时产生
ErrIRq	非接触式 UART	在非接触式 UART 发射或接收过程中检测到错误时产生
CardIRq	ACD	检测到卡
RFExIRq	ACD	检测到其他 13.56 Mhz RF 源
RFlowIRq	ACD	自身所发 RF 过低
OscMonIRq	OSC 监测	OSC 连续 4 次起振失败
WdtIRq	看门狗	看门狗计时达到所设时间
ACCErr	数据监测	轮询时配置数据丢失

## 12. 定时器

Si523 中实现了定时单元，外部主机控制器可以通过定时器来管理与计时相关的任务。定时器可以用作如下配置：

- 超时计数器
- 看门狗计数器
- 秒表
- 可编程单触发器
- 周期触发器

定时单元可用于测量两个事件之间的时间间隔，或者定时产生特殊事件。定时器可以由下述事件触发，但不会影响任何内部事件（例如：数据接收过程中发生超时不会自动对接收产生影响）。此外，设置定时器相关的寄存器可以用于产生中断。

定时器的输入时钟频率为 13.56MHz（由 27.12MHz 晶振产生），由两部分组成：预分频器和计数器。预分频器是一个 12bits 计数器，其重装值 `TPrescaler` 可定义在 0-4095 范围内；16bits 计数器的重装值 `TReload` 则可定义在 0-65535 范围内。定时器的当前值可由 `TCounterValReg` 得到。

当计数器减到 0 时，会自动产生定时中断，其标志是 `CommIRqReg` 中的 `TimerIRq` 位，如果使能定时中断请求，中断事件会传播到 `IRQ` 管脚。`TimerIRq` 可以由主机置位或清除。定时器会根据配置，在计数到 0 时终止或是重新载入 `TReload` 的值。

定时器的状态由 `Status1Reg` 中的 `TRunning` 位指示。

定时器可以通过 `ControlReg` 中的 `TStartNow` 手动开启，也可以由 `TStopNow` 手动关闭；此外定时器可由 `TMode Register` 中的 `TAuto` 自动激活，以此自动满足通信协议的要求。

定时器每阶段的时延是重装值+1，如果 `TPrescaleEven` 为 0，总时间定义为：

$$(TPrescaler*2+1)*(TRload+1)/13.56MHz$$

如果 `TPrescaleEven` 为 1，总时间定义为：

$$(TPrescaler*2+2)*(TRload+1)/13.56MHz。$$

最长时间时的配置：`TPrescaler = 4095`，`TReloadVal = 65535`；最长时间： $(2*4095+2)*65536/13.56MHz = 39.59s$

例：产生 25us 的定时需要计数 339 个时钟周期，也就是说 `TPrescaler` 要设

---

置为 169，此时定时器信号可作为 25us 的时钟信号，定时器可以计数至多 65535 个 25us 的时隙。

## 13 低功耗模式

### 13.1 硬掉电

当管脚 NRSTPD 为低电平时，启动硬掉电模式，此模式下将关闭包括振荡器在内的所有内部电流驱动，所有数字输入缓冲器的值与输入引脚分离并固定（除了 NRSTPD 管脚），输出引脚冻结在高电平或者低电平。

### 13.2 软掉电

CommandReg 的 PowerDown 位置 1 后，即启动软掉电模式，此模式下所有的内部电流驱动关闭，但数字输入缓冲器并不会和输入引脚分隔，仍保留其功能；输出引脚的状态不变。

软掉电模式下，所有寄存器，FIFO，配置都将保持在当前值。

PowerDown 位设为 0 后并不会马上被清除，从软掉电模式退出还需要 1024 个时钟周期的时间，退出软掉电模式后 Si523 会自动将此位清 0。

注意：如果使用内部振荡器，必须考虑到其由 AVDD 管脚提供，使振荡器达到稳定，时钟可被内部逻辑检测到需要一定的时间（ $t_{osc}$ ）。建议用串行 UART 先发送值 55h 到 Si523，因为在访问寄存器前振荡器必须达到稳定，读地址 0 直到 Si523 以地址 0 的寄存器内容响应读命令，此时 Si523 振荡器已经稳定。

### 13.3 发射机掉电

发射机掉电模式下，内部天线驱动关闭，从而射频场关闭。通过将 TxControlReg 的 Tx1RFEn 或 Tx2RFEn 置 0 来进入发射机掉电模式。

## 14 振荡器电路

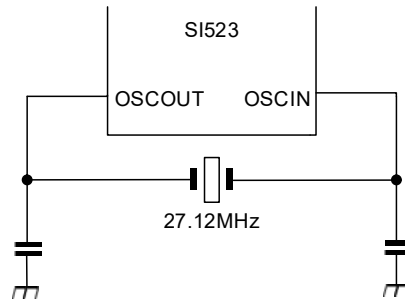


图 14-1 晶振连接

Si523 的时钟为系统的同步编码解码器提供时间基准。时间频率的稳定是正常工作的重要因素之一，为获得最优性能，必须尽可能减少时钟抖动，最好使用内部振荡器缓冲电路来实现。

如果使用外部时钟源，时钟信号必须连在 OSCIN 管脚上，此时必须关注时钟占空比及时钟抖动情况，以保证时钟信号的质量。



## 15 复位及振荡器启动时间

### 15.1 复位时间要求

复位信号在进入数字电路之前，要先经过迟滞电路和毛刺滤波器。毛刺滤波器能滤掉短于 10ns 的信号，为执行复位，复位信号的低电平至少要保持 100ns。

### 15.2 振荡器启动时间

如果 Si523 处于软掉电模式，或者由 VDDX 供电，则其启动时间取决于所用的振荡器，如图所示。

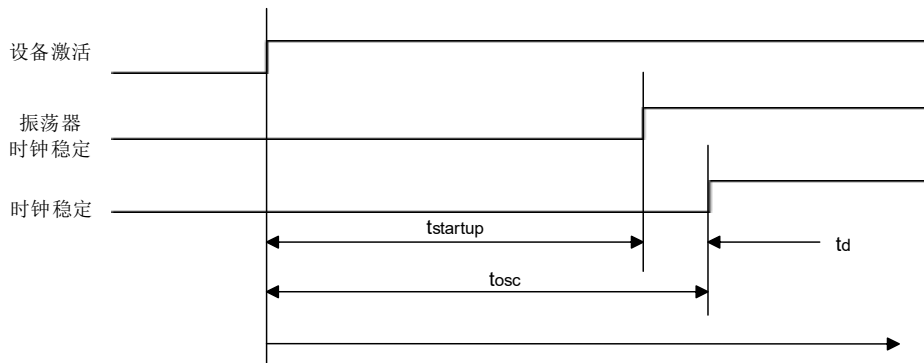


图 15-1 振荡器启动时间

$t_{startup}$  是晶振的启动时间， $t_d$  是 Si523 的内部延迟时间，即在 Si523 可以被寻址之前时钟信号达到稳定的时间。

延迟时间可以按下式计算：

$$t_d = \frac{1024}{27 \mu s} = 37.74 \mu s$$

$t_{osc}$  是  $t_d$  和  $t_{startup}$  之和。

## 16 命令集

Si523 的工作由能执行一组命令集的状态机决定。由向 CommandReg 写命令码来启动命令的执行，执行过程中所必需的参数和数据通过 FIFO 进行交互。

### 16.1 概述

每个需要数据流作为输入的命令会立刻处理 FIFO 中的数据，仅 Transceive 命令例外，在使用该命令时要由 BitFramingReg 中的 StartSend 位开启数据传输；

每个命令都需要一些对应的参数，只有从 FIFO 得到了正确参数后才开始执行；

命令开始执行时不会清空 FIFO，也就是说可以先向 FIFO 中写入命令参数和数据字节，再启动命令的执行；

可以通过主机向 CommandReg 写一个新的命令码，来中断当前命令的执行。

### 16.2 命令概览

表 16-1 命令概览

命令	命令码	功能
Idle	0000	不动作，取消当前命令的执行
Generate RandomID	0010	产生 10 字节随机 ID
CalcCRC	0011	激活 CRC 协处理器或自测试
Transmit	0100	发射 FIFO 中的数据
MStart	0101	触发 3K RC 自动校正
ADC_EXCUTE	0110	自动获取 Poll 参考值
NoCmd Change	0111	命令不变化，在不影响当前命令的执行的条件下修改 CommandReg 的其他位，如 PowerDown
Receive	1000	激活接收电路
Transceive	1100	通过天线发射 FIFO 中的数据并在发射完后自动激活接收机
SoftReset	1111	复位 Si523

## 16.3 命令说明

### 16.3.1 Idle

使 Si523 处于空闲模式。也可用于终止正在执行的命令，包括 Idle 自身。

### 16.3.2 Generate RandomID

使用该指令产生一个存储在内部缓冲区的 10 字节随机数，向 25 字节内部缓冲区重写 10 字节。该命令完成后自动终止，并激活空闲命令。

### 16.3.3 CalcCRC

使用该命令会将 FIFO 内容传输到 CRC 协处理器并开始计算 CRC。CRC 计算并不局限于固定的字节数，即使数据流中 FIFO 空了也不会停止，下一个写入 FIFO 的数据仍继续进行 CRC 的计算。

CRC 预设值由 ModeReg 中的 CRCPreset[1:0] 设置，命令开始执行时载入到 CRC 协处理器中。

该命令需要通过向 CommandReg 写其他命令来终止，如 Idle。

如果 SelfTestReg 中的 SelfTest[3:0] 设置正确，Si523 进入自测模式，此时启动 CalcCRC 命令使芯片初始化数字自测试功能，自测结果会写入 FIFO 当中。

### 16.3.4 Transmit

启动该命令时立即开始发射 FIFO 中的内容。发射 FIFO 内容之前，应将相关寄存器全按数据的发射模式正确配置。

该命令在 FIFO 为空后自动终止，也可以通过向 CommandReg 写其他命令来终止。

### 16.3.5 MStart

自动开始校正 3K RC。Max 置 0 时，只进行粗校正；置 1 时，先进行粗校正后进行精校正。

### 16.3.6 ADC\_EXCUTE

自动启动 ADC 进行 RF 测量。

### 16.3.7 NoCmdChange

该命令不影响当前正在执行的命令，用于改变 CommandReg 中除 Command[3:0]之外的其他位，例如 RcvOff 或者 PowerDown。

### 16.3.8 Receive

该命令激活 Si523 的接收机，等待接收数据流。在执行该命令之前需要正确设置相关的寄存器。

该命令在数据流结束后自动终止，数据流结束的标志是：接收到帧结束 EOF 或者根据所选帧格式与速率的长度字节而定。

注意如果 RxModeReg 的 RxMultiple 位设置为 1，Receive 命令不会自动终止，需要通过向 CommandReg 写其他命令来终止。

### 16.3.9 Transceive

使用该命令重复执行：发射 FIFO 中的数据，然后再从 RF 场中接收数据流。

每次数据的发射都需要由 BitFramingReg 中的 StartSend 位置 1 来启动。该命令需要通过向 CommandReg 写其他命令来终止。

注意如果 RxModeReg 的 RxMultiple 位设置为 1，Transceive 命令不再离开接收状态，因为接收状态此时不会自动取消。

### 16.3.10 SoftReset

该命令用于复位芯片。内部缓存器的配置数据保留不变，所有寄存器设为其复位值。该命令完成后自动终止。

注意 SerialSpeedReg 被复位因此串行数据速率设置为 9.6kBd。

## 17 应用设计信息参考

Si523 的典型电路连接图如下，可将互补天线接到 Si523 上。

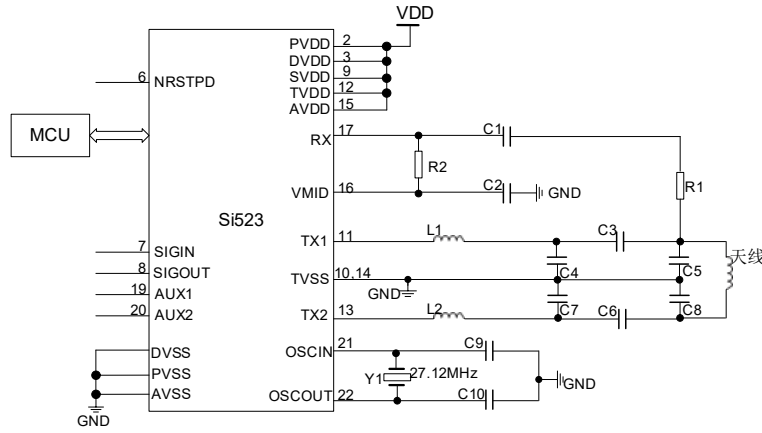


图 17-1 Si523 典型应用电路图

## 18 极限参数

Si523 极限参数与推荐工作环境如下表：

**表 18-1 极限参数**

参数	符号	最小值	最大值	单位
电源电压	VDD	2.3	4	V
工作温度	Tamb	-40	+110	°C

**表 18-2 推荐工作环境**

参数	标志	条件	最小值	典型值	最大值	单位
模拟供电电压	VDDA	AVDD=PVDD=SVDD=TVDD;	2.3	3.3	3.6	V
TVDD 供电电压	VDD(TVDD)	VSSA=VSSD=VSS(PVSS)=VSS(TVSS)=0V	2.3	3.3	3.6	V
PVDD 供电电压	VDD(PVDD)		2.3	3.3	3.6	V
SVDD 供电电压	VDD(SVDD)		VSSA=VSSD=VSS(PVSS)=VSS(TVSS)=0V	2.3	3.3	3.6
环境温度	Tamb	QFN32	-40	-	+110	°C

## 19 封装信息

封装规格如下：

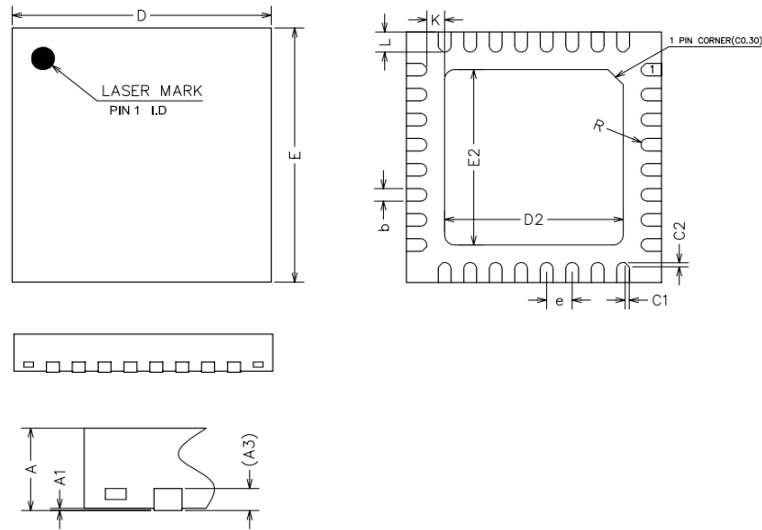


图 19-1 Si523 封装示意图

参数规格如下表（单位：mm）：

表 19-1 通用规格

符号	最小值	标准值	最大值
A	0.70	0.75	0.80
A1	0	0.02	0.05
A3	0.20REF		
b	0.23	0.25	0.28
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.35	3.50	3.65
E2	3.35	3.50	3.65
e	0.48	0.50	0.53
K	0.20	-	-
L	0.35	0.40	0.45
R	0.09	-	-
c1	-	0.08	-
c2	-	0.08	-

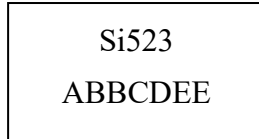
## 20 版本信息

版本	修订日期	修订内容摘要
Rev1.0	2019/09/19	初稿。
Rev2.7	2021/12/03	修改联系方式
Rev2.8	2022/05/23	修改 ControlReg 复位值，由 0x00 更正为 0x10。
Rev2.9	2022/10/24	修改订单信息。
Rev2.10	2022/11/01	解决 PDF 格式无法显示引脚的问题。
Rev2.11	2022/12/08	修改 0F_B 寄存器的 ACDEdge 位描述。
Rev2.12	2023/01/13	更新寄存器名字。
Rev2.13	2023/02/02	修改部分 RFU 寄存器描述。
Rev2.14	2023/02/06	更新温度参数
Rev2.15	2023/02/21	更新 RCCfg1 的 mdelay 位描述
Rev2.16	2023/02/23	修改部分 RFU 寄存器描述。
Rev2.17	2023/03/21	更正 29h 寄存器错误地址。
Rev2.18	2023/04/26	更正 RegbankSelect 错误描述
Rev2.19	2023/11/13	部分格式优化



## 21 订单信息

封装标志



Si523:芯片代码

A: 封装日期年代码, 5 代表 2020 年

BB:加工发出周记, 例如 42 代表是 A 年的第 42 周发出加工

C:封装工厂代码, 为 A、HT、NJ 或 WA, 也简写为 A、H、N 或 W

D:测试工厂代码, 为 A、Z、或 H

EE:生产批次代码

表 21-1 订单信息表

订单代码	封装	包装	最小单位
Si523-Sample	5×5mm 32-pin QFN	Box/Tube	5
Si523	5×5mm 32-pin QFN	Tape and reel	4K